

RK3288 Hardware Design Guide

	作 者:	瑞芯硬件组
	文档版本:	V1.0
	发布日期:	2014-06-25

免责声明

您购买的产品、服务或特性等应受瑞芯微公司商业合同和条款的约束，本文件中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，瑞芯微公司对本文件内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文件内容会不定期进行更新。除非另有约定，本文件仅作为使用指导，本文件中的所有陈述、信息和建议不构成任何明示或暗示的担保。

商标声明

Rockchip、Rockchip™ 图标、瑞芯微和其他瑞芯微商标均为福州瑞芯微电子有限公司的商标，并归瑞芯微电子有限公司所有。

本文件提及的其他所有商标或注册商标，由各自的所有人拥有。

版权所有 © 福州市瑞芯微电子有限公司 2014

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文件内容的部分或全部，并不得以任何形式传播。

福州市瑞芯微电子有限公司

Fuzhou Rockchips Semiconductor Co., Ltd

地址：福建省福州市铜盘路软件园A区18号

网址：www.rock-chips.com

客户服务电话：+86-591-83991906

客户服务传真：+86-591-83951833

客户服务邮箱：www.rock-chips.com

Foreword

Overview

本文档主要介绍RK3288硬件设计的要点及注意点，旨在帮助RK客户缩短产品的设计周期、保证产品的设计稳定性及降低故障率。请客户严格按照本指南的要求进行硬件设计，同时尽量使用RK发布的相关核心模板。如因模具原因确实需要修改核心模板的，设计需取得RK工程师的确认。

Product Version

本文档对应的产品版本如下：

产品名称	产品版本
RK3288	

Product Object

本文档主要适用于以下工程师：

- 单板硬件开发工程师
- 技术支持工程师
- 测试工程师

Revision History

修订记录累积了每次文档更新的说明。最新版本的文档包含以前说有文档版本的更新内容。

修订日期	版本号	修订说明
2014-06-25	V1.0	Initial Release

Acronym

缩略语包括文档中常用词组的简称。

CABC	Content Adaptive Backlight Control	动态背光控制
DVP	Digital Video Parallel	数字视频并行接口
eDP	Embedded DisplayPort	嵌入式数码音视频传输接口
ESD	Electro-Static discharge	静电释放
ESR	Equivalent Series Resistance	等效并联电阻
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
I ² C	Inter-Integrated Circuit	内部整合电路(两线式串行通讯总线)
JTAG	Joint Test Action Group	联合测试行为组织定义的一种国际标准测试协议 (IEEE 1149.1兼容)
LCM	LCD Module	LCD显示模组
LVDS	Low-Voltage Differential Signaling	低电压差分信
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
PMIC	Power Management IC	电源管理芯片
PMU	Power Management Unit	电源管理单元
PS/2	Personal System/2	
PCB	Printed Circuit Board	印制电路板
RK	Rockchip Electronics Co., Ltd.	瑞芯微电子有限公司
SPDIF	Sony/Philips Digital Interface Format	SONY、PHILIPS数字音频接口
TF Card	Micro SD Card(Trans-flash Card)	外置记忆卡
USB	Universal Serial Bus	通用串行总线

Contents

Foreword	3
Overview.....	3
Product Version	3
Product Object	3
Revision History	4
Acronym	5
Contents.....	6
1 Brief Introduction	8
1.1 Chip Overview	8
1.2 Chip Feature.....	8
2 The Choice Of Reference	12
3 PCB Design.....	16
3.1 Structure	16
3.2 Design Rule.....	17
3.3 Test Point.....	19
3.4 Silk-screen and Decal.....	20
4 Heat Dissipation	22
5 POWER	25
5.1 Schematic.....	25
3.2 PCB Layout	25
3.3 SYR827、SYR828 PCB Layout guide	29
3.4 PMIC RT5C620.....	31
3.5 PMIC ACT8846.....	34
6 GPIO	36
6.1 Schematic.....	36
7 CPU&PMU	38
7.1 Schematic.....	38
7.2 PCB Layout	39
8 DDR Controler & DRAM.....	40
8.1 Schematic.....	40
8.2 PCB Layout (DDR0 channel、DDR1 channel)	44
9 Flash control & Memory	47
9.1 Schematic.....	47
8.2 PCB Layout	50
10 TF Card	52
10.1 Schematic	52
10.2 PCB Layout.....	52
11 USB & HSIC	54
11.1 Schematic	54
9.2 PCB Layout	55
12 SarADC & Key	57
12.1 Schematic	57
12.2 PCB Layout.....	58
13 DVP Interface & Camera	59

13.1 Schematic	59
13.2 PCB Layout.....	61
14 Display Interface	62
14.1 Schematic	62
14.2 PCB Layout.....	67
15 LCM.....	69
15.1 Schematic	69
15.2 PCB Layout.....	72
16 Debug.....	74
16.1 Schematic	74
16.2 PCB Layout.....	74
17 Audio Codec & SPDIF.....	76
17.1 Schematic	76
17.2 PCB Layout.....	77
18 Touch Panel.....	79
18.1 Schematic	79
18.2 PCB Layout.....	80
19 Sensor	81
19.1 Schematic	81
19.2 PCB Layout.....	83
20 eFUSE.....	85
20.1 Schematic	85
21 MAC.....	86
21.1 Schematic	86
21.2 PCB Layout.....	89
22 2G/3G/4G.....	94
22.1 Schematic	94
23.2 PCB Layout.....	95
23 WIFI & BT.....	98
23.1 Schematic	98
24.2 PCB Layout.....	101
24 GPS.....	107
24.1 PCB Layout.....	107
25 NFC	109
25.1 Schematic	109
26.2 PCB Layout.....	109

1.1 Chip Overview

芯片集成了包括Neon和FPU协处理器在内的四核Cortex-A17处理器，共享1MB二级缓存。双通道64位DDR3/LPDDR2/LPDDR3控制器，提供了高性能和高分辨率的应用程序所需要的内存带宽。超过32位的地址位，可以支持高达8GB存取空间。

RK3288还支持全部主流视频格式解码，支持H. 265和4kx2k分辨率视频解码。

它具有多种高性能的接口，使能显示输出方案变得非常灵活，如双通道LVDS，双通道MIPI-DSI，eDP1.1，HDMI2.0等，并支持具有1300万像素ISP处理能力的双通道MIPI-CSI2接口。

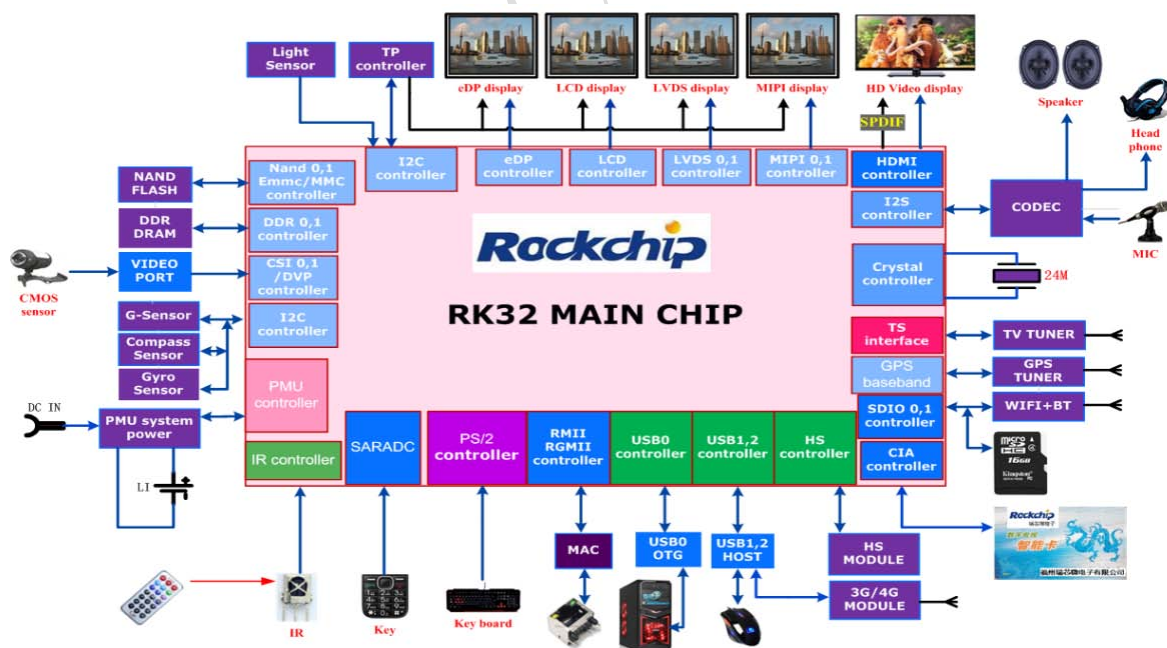


图 1-1

1.2 Chip Feature

CPU

- Quad-core Cortex-A17
- Separately Integrated Neon and FPU per CPU
- 32KB/32KB L1 ICache/DCache per CPU
- Unified 1MB L2 Cache
- LPAE (Large Physical Address Extensions) , Support up to 8GB address space
- Virtualization Extensions Support
- DVFS support

GPU

- 3D GPU
 - Quad-Core Mali-T7 series, latest powerful graphics processor
 - Architected for GPU computing
 - Support OpenGL ES1.1/2.0/3.0, OpenVG1.1, OpenCL1.1 and Renderscript , Directx11
 - DVFS support
- 2D GPU
 - Multi-Core architecture
 - Up to 8Kx8K input and 4Kx4K output
 - High-quality image scale up/down
 - Dither operation
 - Image rotation with 90/180/270 degree or x/y-mirror
 - BitBLT, Alpha Blending, Raster Operation

VPU

- Video Decoder
 - Support MPEG-2, MPEG-4, AVS, VC-1, VP8, MVC with up to 1080p@60fps
 - Support multi-format video decoder with up to 4Kx2K
 - High-quality deinterleave
- Video Encoder
 - Support multi-format video encoder with up to 1080p@30fps

Video Interface

- Video Input

- Dual-channel input for front and rear camera
 - Dual-channel MIPI-CSI2 interface with 4-lane per channel
 - 8/10/12 bits standard DVP interface
 - Maximum 5Mpixel for front camera
 - Maximum 13Mpixel for rear camera with high-performance ISP
- Video display
- Dual-panel display with 2 separately interface
 - Maximum resolution is 4Kx2K
 - CABC support to decrease interface power
 - Dual channel 8/10bits LVDS
 - Dual channel MIPI-DSI
 - HDMI2.0 to support maximum 4Kx2K display
 - Optional eDP1.1 interface

Memory Interface

- Nand Flash Interface
- Dual-channel , 8bits per channel
 - Compatible with all of SLC/MLC/TLC Nand Flash, including DDR Nand
 - Embedded 60bits hardware ECC
 - 8 chip selects to support more device
- eMMC Interface
- Compatible with eMMC4.5 standard
 - 8bits data width
 - Support DDR-50, SDR-100
- DDR interface
- Dual channel 64bits interface
 - Support DDR3/DDR3L/LPDDR2/LPDDR3

Rich Connectivity

- 3 SD/MMC/SDIO interface, compatible with SD3.0, SDIO3.0 and MMC4.5

- One 8-channels I2S/PCM interface, One 8-channels SPDIF interface
- One USB2.0 OTG , Two USB2.0 Host
- 100M/1000M RMII/RGMII Ethernet interface
- Dual channel TS stream interface, descramble and demux support
- Smart Card interface
- GPS baseband interface
- PS/2 master interface
- 5 UART, 3 SPI (master or slave), 6 I2C(up to 4Mbps), 5 PWM

Others

- Standalone crypto and decrypto, compatible with AES 128bits/DES/3DES/SHA-1/
- SHA-256/MD5/160bits PRNG
- Full security solution to support HDCP2.x, secure boot, secure debug and DRM.
- Temperature Sensor to support better temperature controll inside chip

2 The Choice Of Reference

RK3288集成多种功能模块，每个功能模块基本上都是独立供电的模式，所以在原理图封装设计上将所有有独立供电的功能模块的电源引脚都放置在各自的功能模块中。在发布的RK3288参考设计图中，为便于统一管理，避免造成原理图版本繁多、错误点需多次重复修改的问题，采用模块分组分页的设计，并在设计中增加了多种常用的可选项，如图2-1所示。客户可根据实际产品需求，对原理图进行增减，即可得到完整的原理图，详细电路请参考RK发布的RK3288参考设计图。

01.Index
02.Change List
03.Block Diagram
04.Power Tree-RC5T620
05.Power Tree-ACT8846
10.RK3288 Power
11.RK3288 PMU Controller
12.RK3288 DDR Controller
13.RK3288 Flash Controller
14.RK3288 USB/HSIC Controller
15.RK3288 SARADC/Key Board
16.RK3288 DVP Interface
17.RK3288 Display Interface
18.RK3288 GPIO
20.USB Port
21.Power-RT5C620_1CELL
22.Power-ACT8846_2CELL (option)
30.RAM-DDR3 4x16bit
32.RAM-DDR3 2x32bit (option)
33.RAM-LPDDR2(168P) (option)
34.RAM-LPDDR2(220P) (option)
35.RAM-LPDDR3(178P) (option)
40.Memory-eMMC
41.Memory-Nand FLASH (option)
42.Memory-tSD (option)
45.DVP power and Flash LED
46.Camera-MIPI CSI
47.Camera-CIF (option)
50.LCM-eDP Panel
51.LCM-MIPI Panel (option)
52.LCM-Dual MIPI Panel (option)
53.LCM-LVDS Panel (option)
60.WIFI/BT-AP6210
61.WIFI ac/BT-AP6335 (option)
62.WIFI/BT/GPS-AP6476 (option)
65.3G-UNA
66.3G-UNA LITE (option)
70.Audio Codec-ES8323
71.Audio Codec-ALC5631 (option)
72.Audio Codec-ALC3224 (option)
75.TP COF
76.TP COB-CT363 (option)
77.TP COB-FT5506 (option)
78.TP COB-GSL3680 (option)
80.Sensor/VIB
81.TF Card
82.HDMI Port
84.eFUSE (option)

图2-1

例如，客户提出如下需求表：

RK3288 样机规划一	
DC 5V 火牛充电	No
USB 充电	Yes
电池	1-Cell
DRAM	1GB,4 x 16bit DDR3
FLASH	8GB,Emmc
LCM	10.05" eDP,2560 x 1600
Front Camera	OV2659
Rear Camera	MIPI FX288A R2.0(OV8825)
HDMI	Yes(Type C)
USB OTG 2.0	Micro-B
TF Card	Yes
Audio Codec	Yes
Microphone	Yes
Audio Jack	Yes
Vibration	Yes
G-Sensor	Yes
Gyroscope	Yes
WIFI Module	802.11 a/b/g/n,BT 4.0
GPS	No
3G	No
4G	No

根据此要求，对原理图进行相应的删减，即可得到最终的完整原理图，如图2-2：

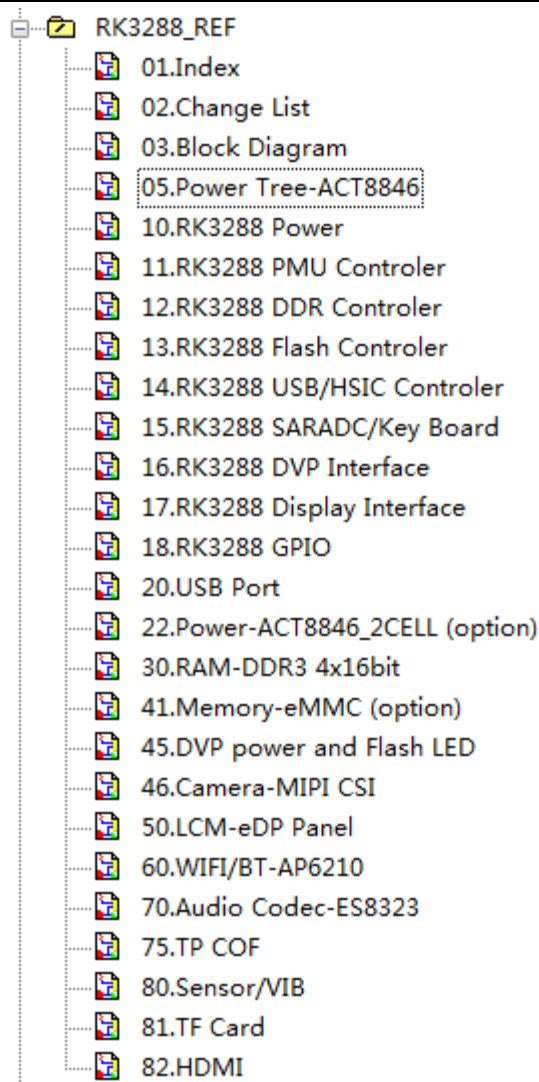


图2-2

小贴士：使用**9.7" eDP**屏时，请使用双节电池供电方案以保证系统及显示的稳定性。其他屏建议使用单节电池供电方案以降低成本。

又例如，客户提出如下需求表：

RK3288 样机规划二	
DC 5V 火牛充电	No
USB 充电	Yes
电池	1-Cell
DRAM	2 x 32bit LPDDR2(POP 封装)
FLASH	8GB,EMMC and NAND FLASH double Layout
LCM	2:8.9" Dual MIPI,2560 x 1600
Front Camera	No
Rear Camera	MIPI FX288A R2.0(OV8825)
HDMI	No
USB OTG 2.0	Micro-B

Touch	COB,CT363
TF Card	Yes
Audio Codec	Yes
Microphone	Yes
Audio Jack	Yes
Vibration	Yes
G-Sensor	Yes
Gyroscope	Yes
WIFI Module	802.11 a/b/g/n,BT 4.0
GPS	Yes
3G	Yes
4G	No
Efuse	Yes

根据此要求，同样对原理图进行相应的删减，即可得到最终的完整原理图，如图2-3：

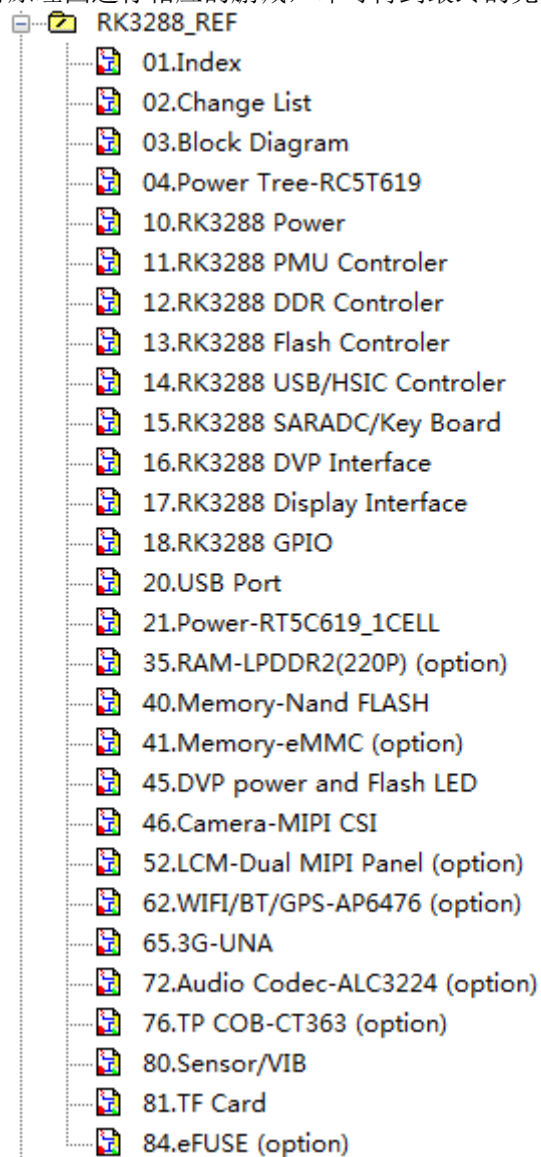


图2-3

3 PCB Design

3.1 Structure

为了保证产品的性能和稳定性，PCB的设计相当关键，在PCB设计的时候需要重点关注。为了保证RK3288有更高的表现性能，推荐使用6层及以上的PCB堆叠结构设计，同时建议器件采用双面贴片设计。铜箔厚度建议采用1oz，以改善PCB的散热性能。

6 层的 PCB 堆叠结构设计：

名称	属性	类型/规格	厚度 (mil)	介电常数	备注
Top	Signal1	Cu	0.7	-	Plating to 1oz
	pp	FR-4	3.8	4.3	-
L2	Gnd1	Cu	1.5	-	1oz
	core	FR-4	8	4.3	-
L3	Signal2	Cu	1.5	-	1oz
	PP	FR 4	-	4.3	根据板厚调整
L4	Power	Cu	1.5	-	1oz
	core	FR-4	8	4.3	-
L5	Gnd2	Cu	1.5	-	1oz
	pp	FR-4	3.8	4.3	-
Bottom	Signal3	Cu	0.7	-	Plating to 1oz

如果带 GPS，建议把 Bottom 层和 L5 对调，Bottom 为 GND2 层。L3 层对应 DDR 走线区域为 DDR 电源，DDR 走线放在 L5 层，L4 层的 DDR 对应的区域挖空，L5 层的走线仅参考 Bottom 层做阻抗控制。

8 层的 PCB 堆叠结构设计（考虑 GPS 情况下使用）：

名称	属性	类型/规格	厚度 (mil)	介电常数	备注
Top	Signal1	Cu	0.7	-	Plating to 1oz
	pp	FR-4	3.8	4.3	-
L2	Gnd1	Cu	1.5	-	1oz
	pp	FR-4	3.8	4.3	-

L3	Signal2	Cu	1.5	–	1oz
	core	FR-4	8	4.3	–
L4	Gnd2	Cu	1.5	–	1oz
	pp	FR-4	–	4.3	根据板厚调整
L5	Power	Cu	1.5	–	1oz
	core	FR-4	8	4.3	–
L6	Signal3	Cu	1.5	–	1oz
	pp	FR-4	3.8	4.3	–
L7	Signal4	Cu	1.5	–	1oz
	pp	FR-4	3.8	4.3	–
Bottom	Gnd3	Cu	0.7	–	Plating to 1oz

3.2 Design Rule

- 产品规划阶段推荐选择能在主控下方摆放电容的结构设计。
- 主控下方能采用的过孔尺寸为0.2mm/0.35mm（内/外径）。
- 为了抑制电磁辐射，走线间尽量遵循3W原则，即线与线之间保持3倍线宽的距离，如图3-1，线宽/线距分别为4/8mil；



图3-1

- 为了抑制电源辐射，电源层尽量遵循20H原则。
- 屏蔽罩的地墙和板边的距离需要预留2mm左右。

- TOP 或 BOTTOM 层主要是用来摆放主要器件及信号走线，如 CPU, DDR3 等；
- BOTTOM 或 TOP 层主要是用来摆放滤波电容等小器件；如果结构允许，也可摆放大器件；
- 屏蔽处理：
 - TOP 层 PCB 需要加屏蔽壳位，降低 EMI 及提高产品的可靠性；同时可以利用屏蔽壳作为主控的散热器，提高整机的散热效果。
 - 如果空间允许，建议 PCB 的 BOTTOM 层也预留屏蔽位；或是在地网络上预留大面积镂空铜处理，预留配合结构做屏蔽的可能。
- 铺铜完整性：设计上保证主控下方铺铜的完整性及连续性能够提供良好的信号回流路径，改善信号传输质量，提高产品的稳定性，同时也可以改善的铜皮散热的性能。做到下述几点，就能保证如下图所示铺铜较好的完整性及连续性，产品性能将更加稳定可靠。

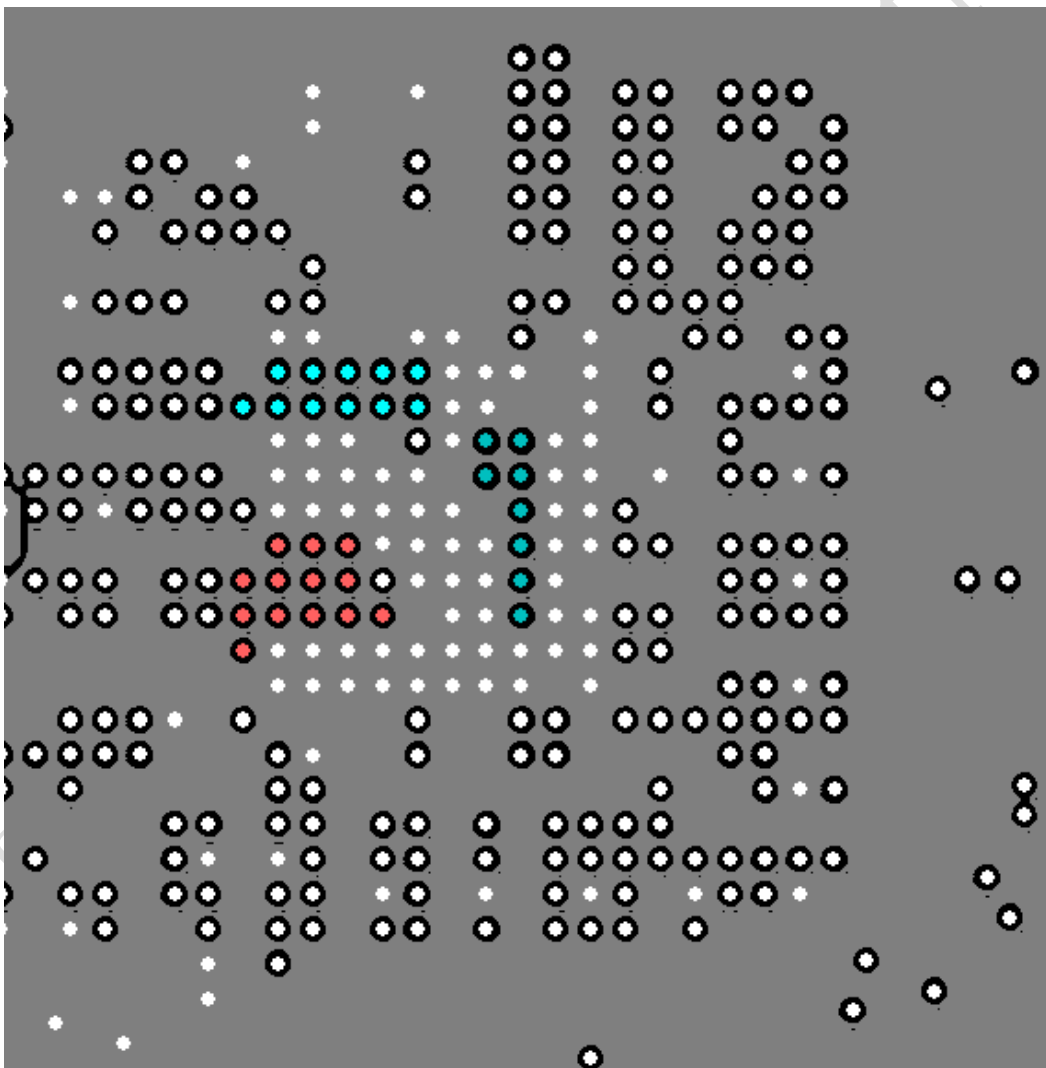


图 3-2

- 铺铜层属性设置成混合分割层；
- 过孔与铺铜的安全间距设置为 5.5mils；

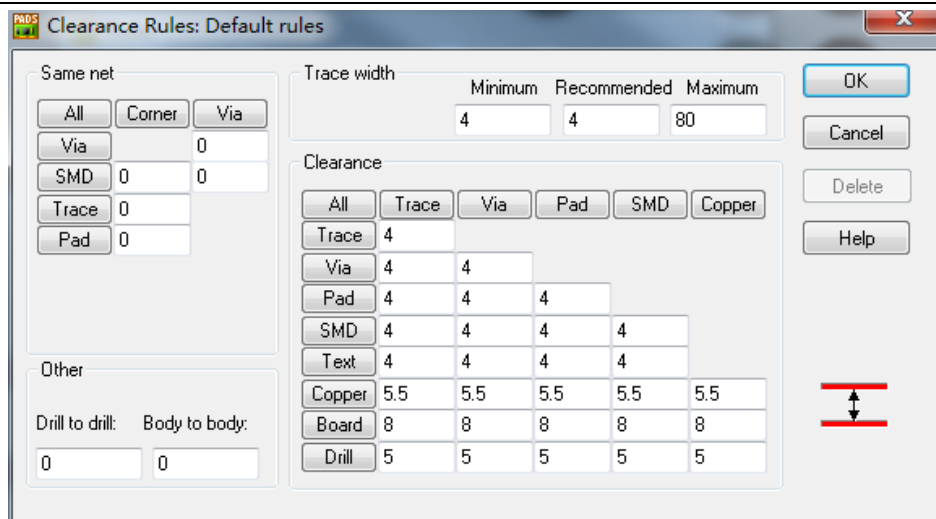


图 3-3

- 铺铜线宽设置为4mils;
- CPU 引脚端的信号扇出过孔要排列整齐、合理分布，如下图所示:

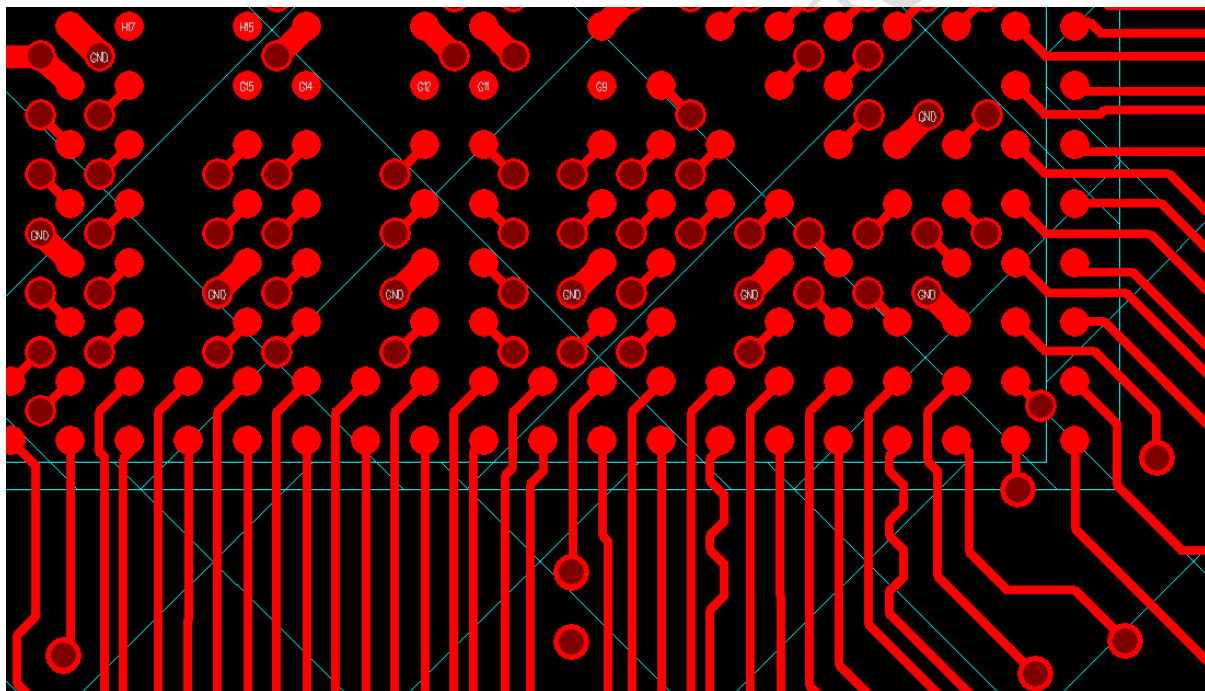


图3-4

小贴士:

- 3W 原则: 为了减少线间串扰, 应保证间距足够大, 如果线中心距不少于 3 倍线宽时, 则可保持 70% 的线间电场不互相干扰。
- 20H 原则: 即将电源层内缩, 使得电场只在地层的范围内传到。以一个 H (电源与地层之间的介质层厚度) 为单位, 若内缩 20H 可以将 70% 的电场限制在接地边沿内, 内缩 100H 则可以将 98% 的电场限制在内;

3.3 Test Point

- eMMC、Nand Flash需要在EMMC_CLK0、FLASH_CLE信号上增加测试点, 调试时方便进入maskrom 烧写模式;

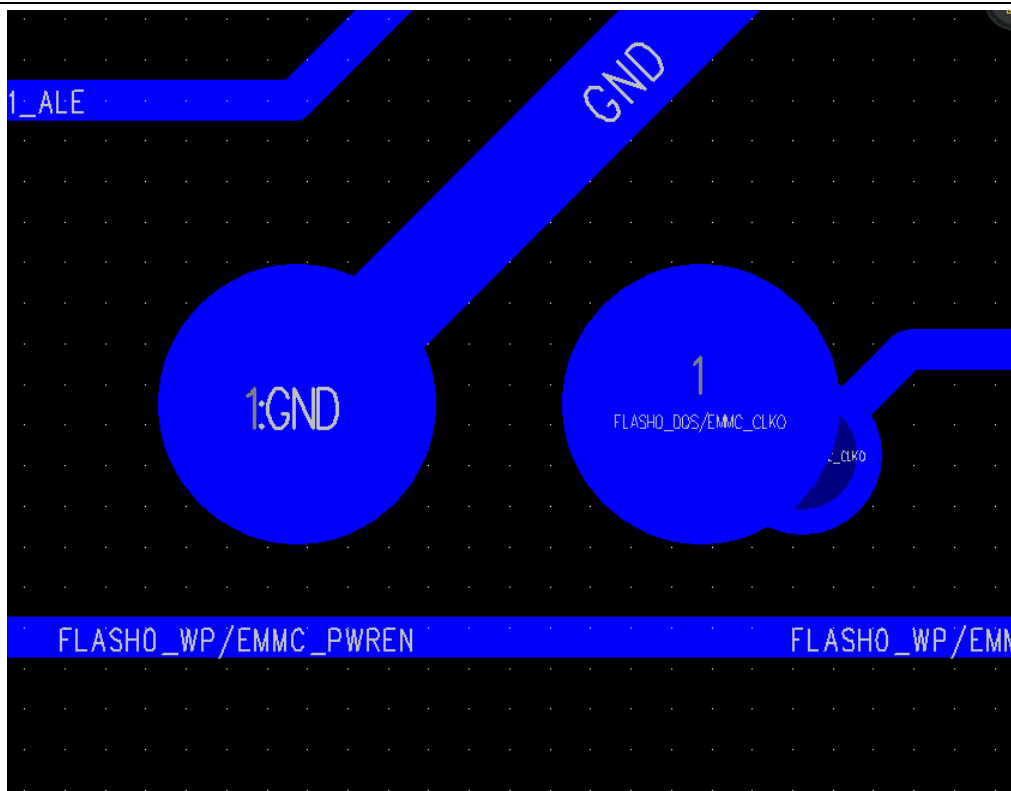


图3-5

- 摄像头、TP、LCM等接口，建议增加信号测试点，便于工厂进行工装测试；

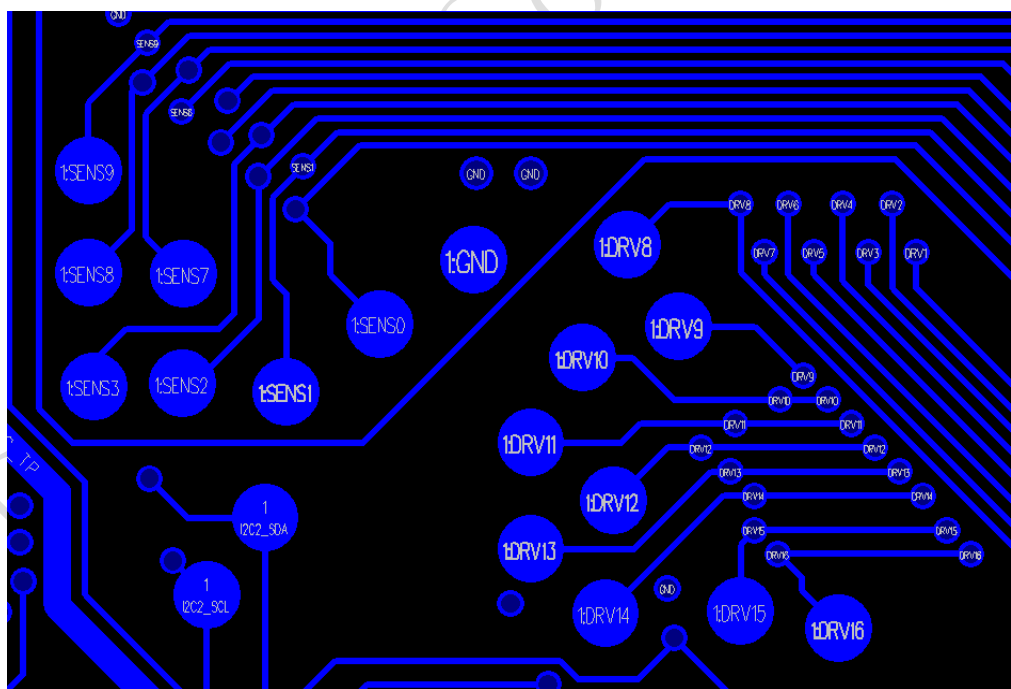


图3-6

3.4 Silk-screen and Decal

- 增加PCB名称、Layout时间及日期，便于查找与调试；
- 尽量在PCB板上增加器件位号，以便于调试；

- 关键信号需要增加丝印说明，如电池焊盘引脚、接插件的脚序等；
- 芯片第一脚需要有明显的标注，且标记不能重叠或者隐藏在器件本体下；
- 确认器件封装的尺寸是否正确，高度是否在限高范围内；
- 确认耳机座及USB等接口器件的焊接方向（特别是下沉式）是否镜像；
- 双面贴片时，BGA的背面不能放大体积元件。如果是开槽式的单面贴片，请确保器件位于槽孔范围内；

Rockchip Confidential

4 Heat Dissipation

RK3288的机器上，CPU为发热量最大的器件，所有的散热处理都以RK3288为主要对象。

除RK3288外，其它主要发热器件有：PMIC、充电IC及所用电感、背光IC及所用电感。另外大电流的电源走线（如DC 5V到充电IC走线，电池到PMU的VCC_SYS走线）也对整机发热有影响；Layout时，需注意不要将这些热源堆积在一起，适当分散开来；大电流的电源走线尽量短、宽。

根据热量的辐射扩散特性，CPU使用散热片时，最好以热源为中心，使用正方形或者圆形散热片，一定要避免长条形的散热片。散热片的散热效果并不与其面积大小成倍数关系，根据热成像图来看（图4-3），石墨散热片经济有效的大小大概在6cm*6cm左右，如图4-1。



图4-1

- PCB导热可以考虑如下三种方式增强散热：
 - 单板发热器件PAD底部打过孔；
 - 在单板表面铺连续的铜皮；
 - 增加单板含铜量（使用1oz表面铜厚）；
- 在CPU顶面及CPU对应区域的PCB正下方贴导热片，将CPU的热量散到后盖和LCD屏或中框上，可以大幅度降低CPU本身的温度。不过对于把CPU的热量到到LCD屏上的方式，需要折衷考

虑。对于类似9.7'' eDP此种高功耗的屏，尽量避免在CPU下方贴导热片到屏上，这样会导致屏局部在长时间运行时过热而形成图像色块。

- 对于金属后盖的机器，最好将CPU的热量通过导热硅胶导至后盖。
- 对于后盖两端是塑胶（放RF天线），中间为金属的机器，Layout时请注意主要热源一定要放置在后盖金属部分的下方；
- 塑胶后盖的机器需在PCBA及后盖上各贴一片石墨散热片才能达到较好的整机散热效果。
- 散热材质目前选择比较多，建议用不同材质做比较验证，找到适合本机的散热方法。

1. PCBA发热源(样机1为例)：

测试条件：RK3288上贴一片19mm*19mm*1mm的导热片，其他热源不做处理。在最亮背光下插入充电器运行老化程序Tomas Room

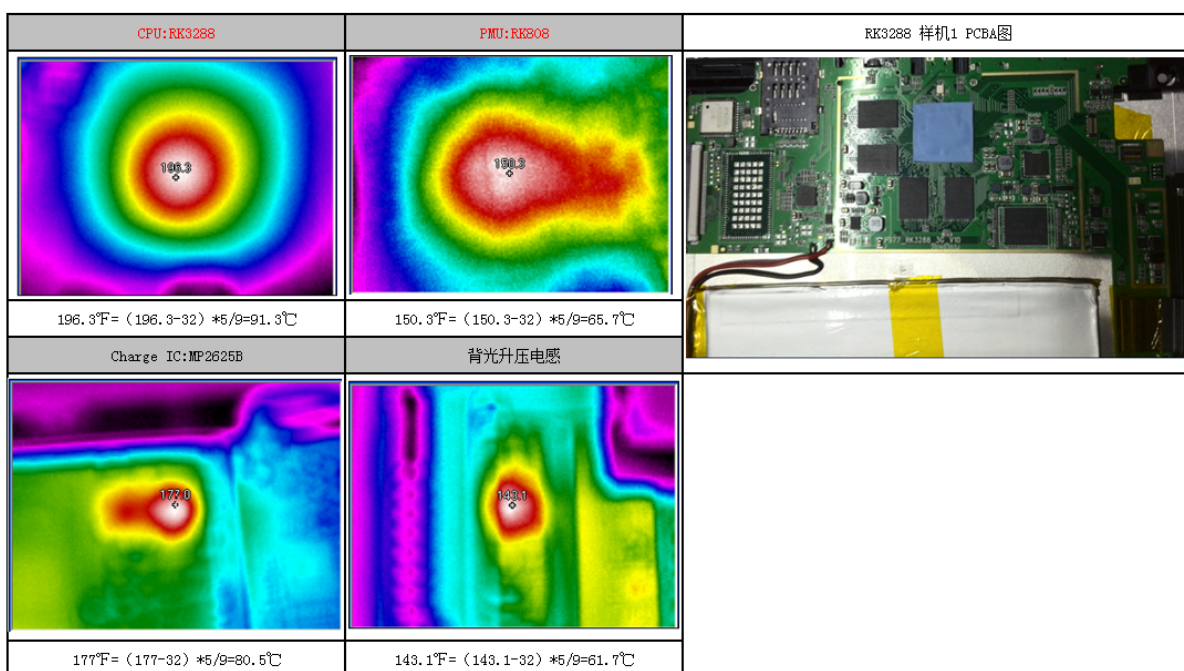


图4-2

2. 石墨片散热图：

测试条件：在样机1上贴上一片石墨片，运行Tomas Room十分钟，用热成像仪测试CPU部分热成像。

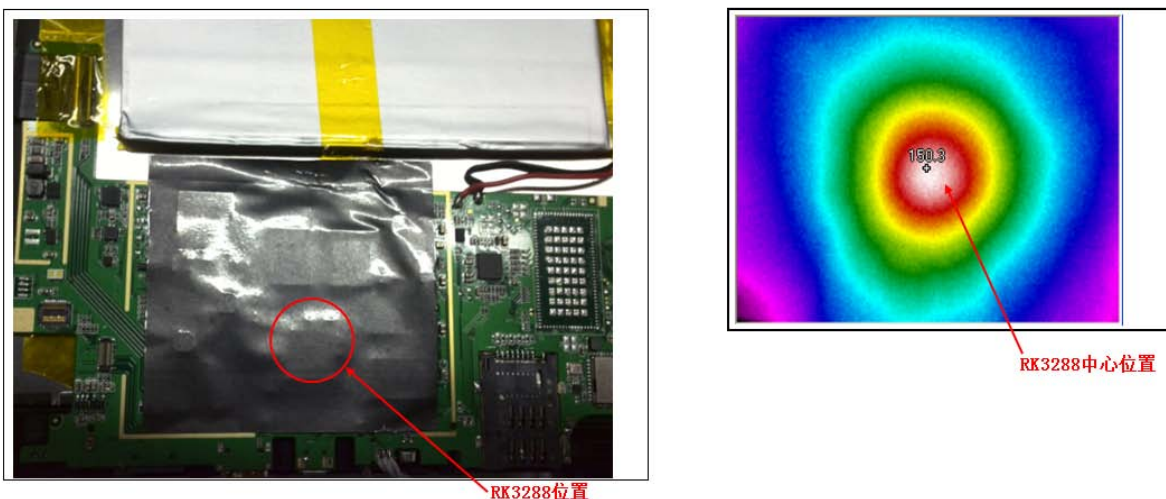


图4-3

3. PCBA上贴单层石墨片热像图:

测试条件: 样机1与样机2 PCBA各贴一片石墨散热片, 后盖均不做处理。运行Tomas Room十分钟, 测试整机后盖热成像。

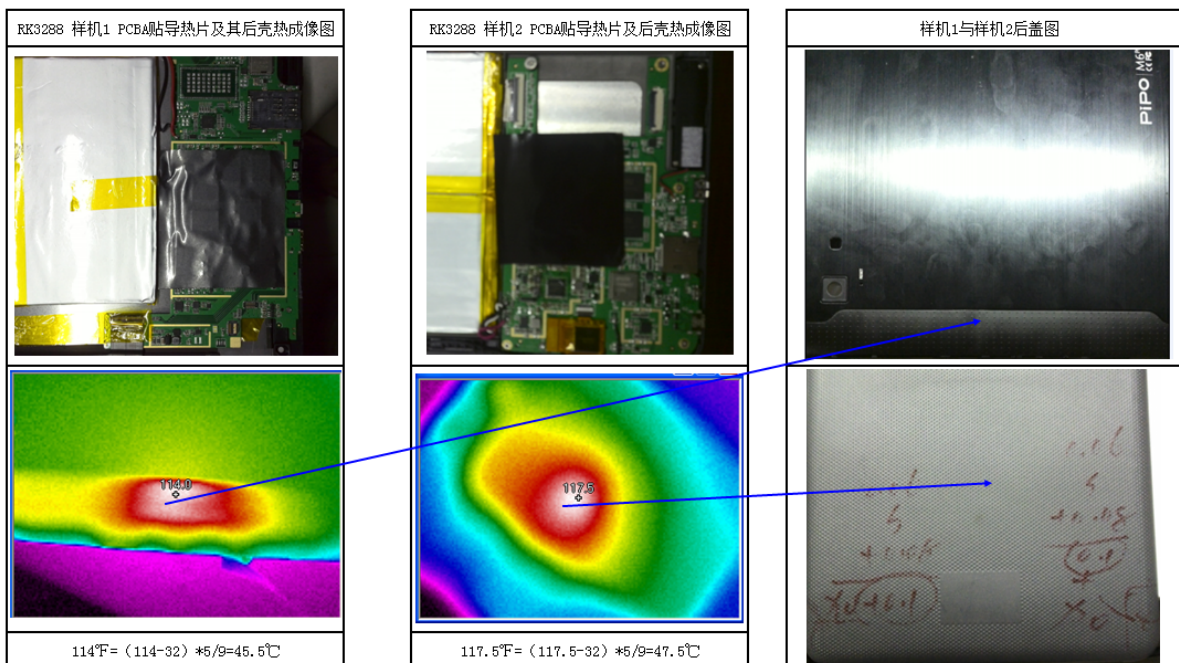


图4-4

4. PCBA上贴薄石墨片, 后盖贴厚石墨片热成像图:

测试条件: 样机1与样机2 PCBA各贴一片石墨散热片, 后盖在正对CPU中心位置贴一片石墨片。运行Tomas Room十分钟, 测试整机后盖热成像。

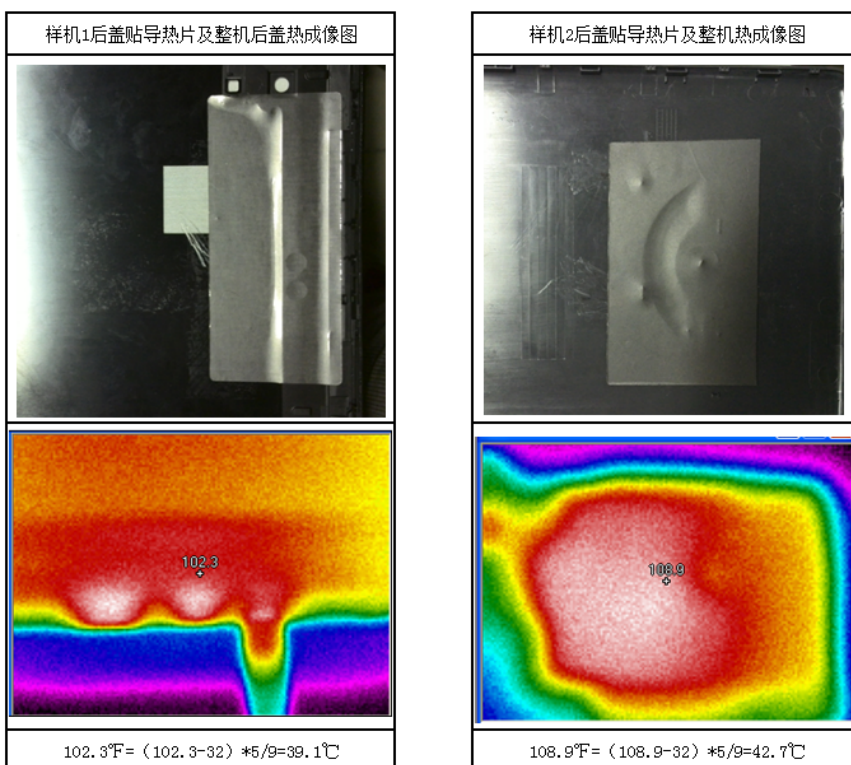


图4-5

5 POWER

5.1 Schematic

- VDD_CPU与VDD_GPU为主控主要供电，峰值电流分别可达4.4A/3.6A（CPU@1.6GHz、GPU@400MHz），所以请不要删减参考设计中的电容，大电容放置在主控芯片背面（或就近）以保证电源纹波在100mV以内，避免在大负载情况下引起电源纹波偏大，（VDD_CPU为154uF电容，VDD_GPU为66uF电容，）如图5-1；

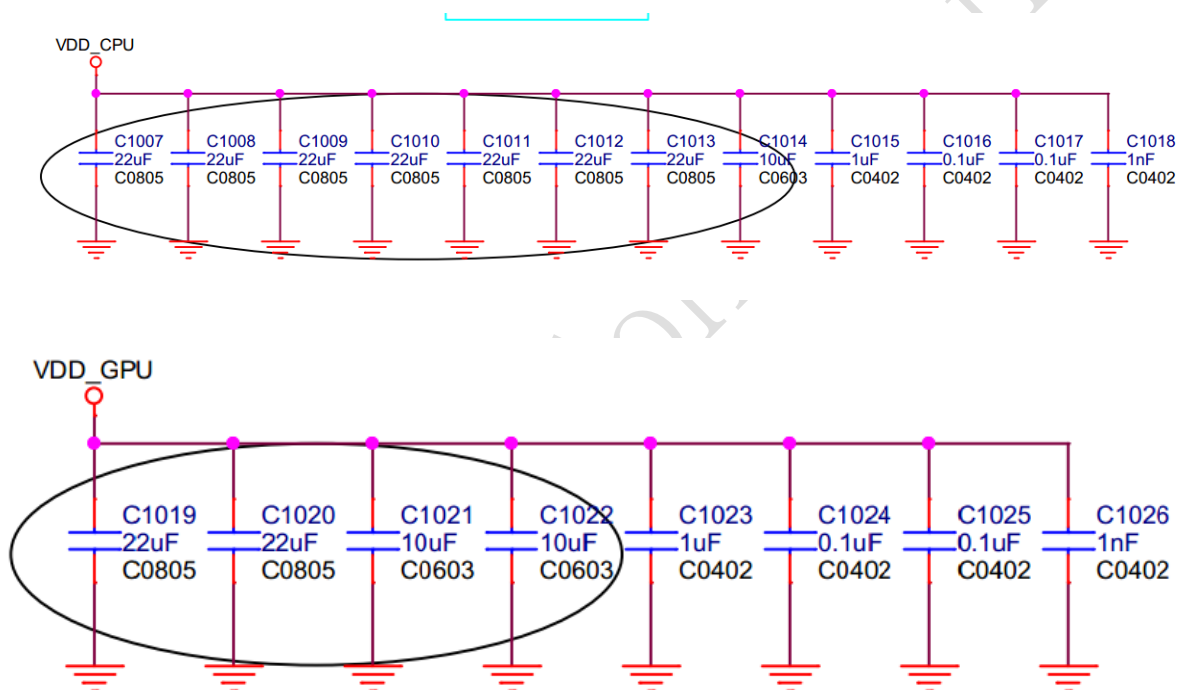


图5-1

- CPU_VDD_COM与GPU_VDD_COM（图5-2）为主控CPU、GPU电源反馈脚，需连接至电源输出DC/DC的FB端，可有效改善因PCB电源线阻抗引起的损耗，并提高电源动态调整的及时性。



图5-2

3.2 PCB Layout

电源的设计至关重要，直接影响产品的性能及稳定性，请严格按RK的LAYOUT要求进行设计。

从 PMIC 的电源输出到主控相应电源引脚之间保证有大面积的电源铺铜，可提高过电流能力，并降低线路阻抗，如图 5-3：

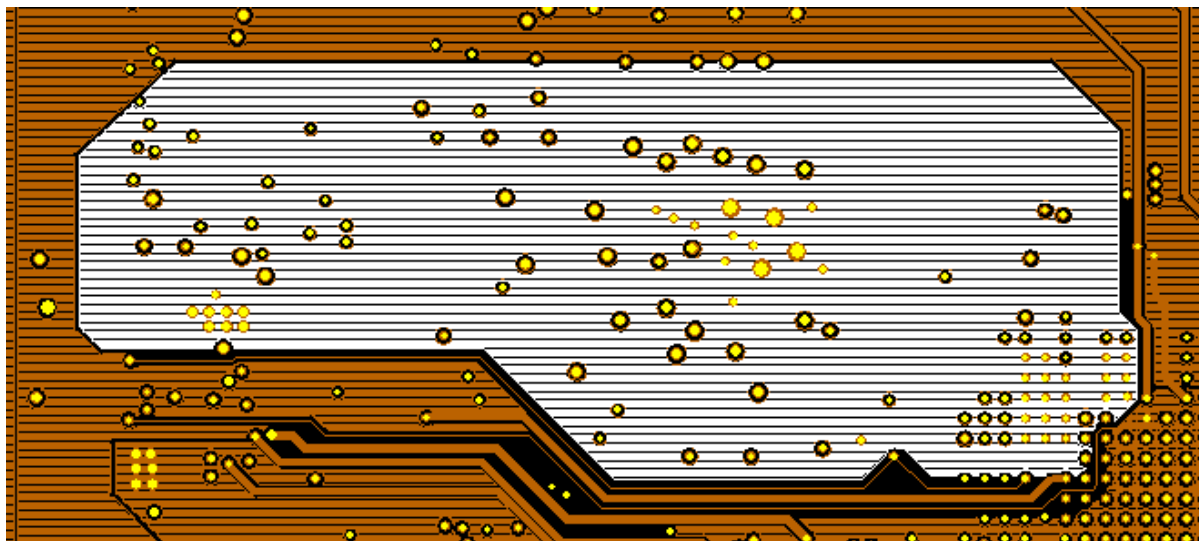


图5-3

电源换层的连接处，需有较多的过孔，以提高过电流能力，并降低线路阻抗，如图 5-4：

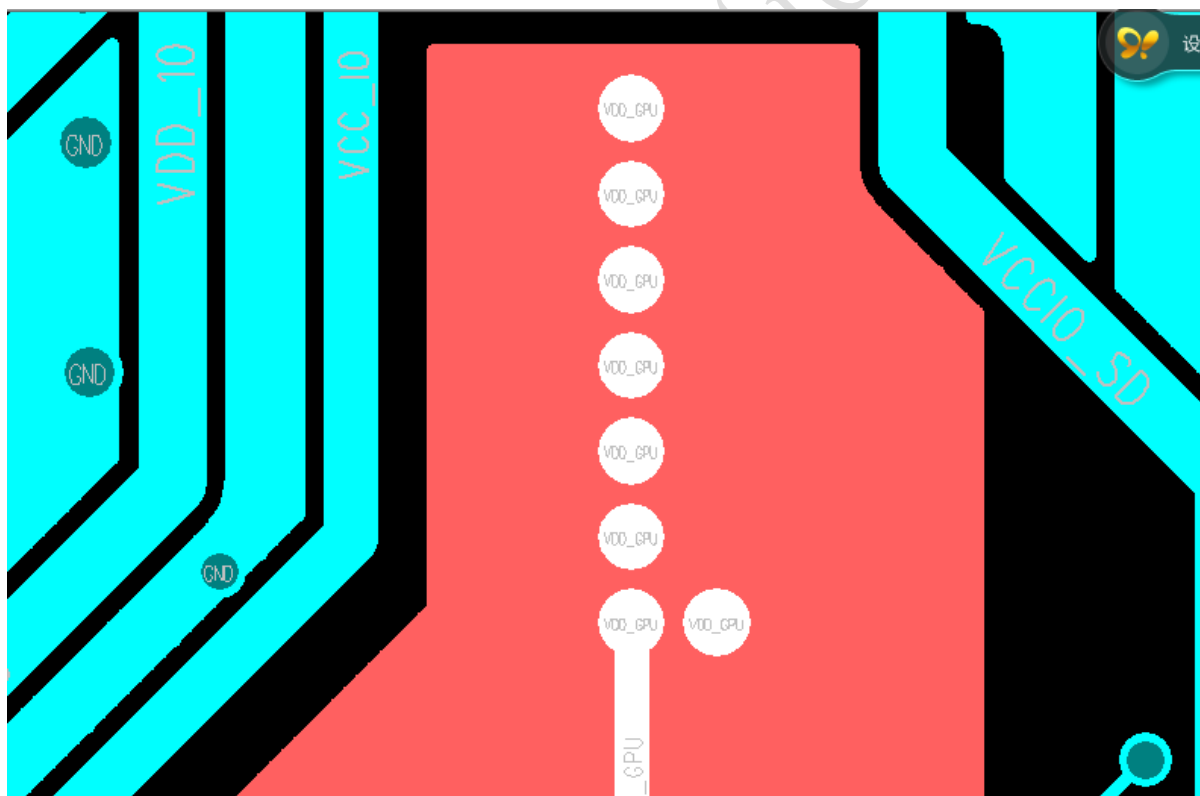


图5-4

CPU_VDD_COM 与 GPU_VDD_COM 反馈补偿设计，可弥补线路的电压损耗及提高电源动态调整及时性，如图 5-5。图中点亮的走线即为 VDD_GPU 反馈补偿线，此补偿线另一端连接到电源输出 DC/DC 的 FB 端，走线需与电源层并行走线，且不能被数据线干扰。

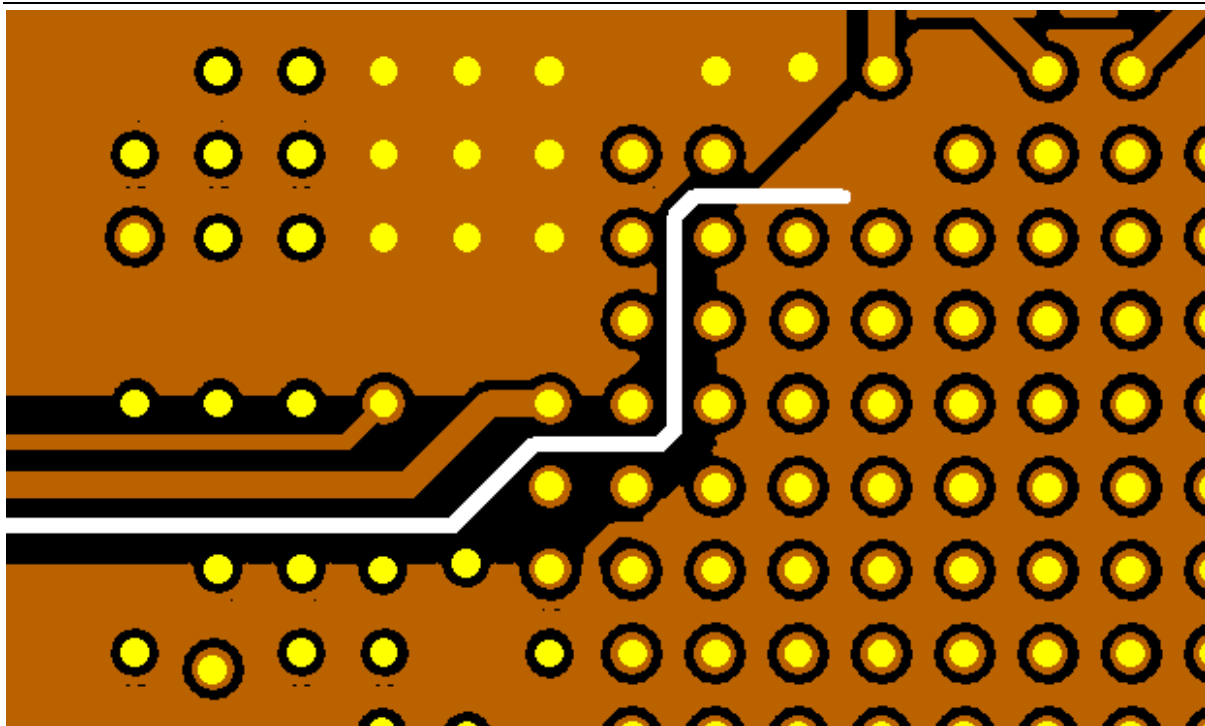


图5-5

VDD_CPU、VDD_GPU、VDD_LOG、VCC_DDR 电源远端（负载端）必需放置大电容，在条件许可的情况下，VDD_CPU、VDD_GPU 主控背面（或正面就近）各放置容值 40uF 以上的大电容，VDD_LOG、VCC_DDR 亦需 10uF 以上电容，以改善电源的质量，提高产品性能，保证产品的稳定，如图 5-6。

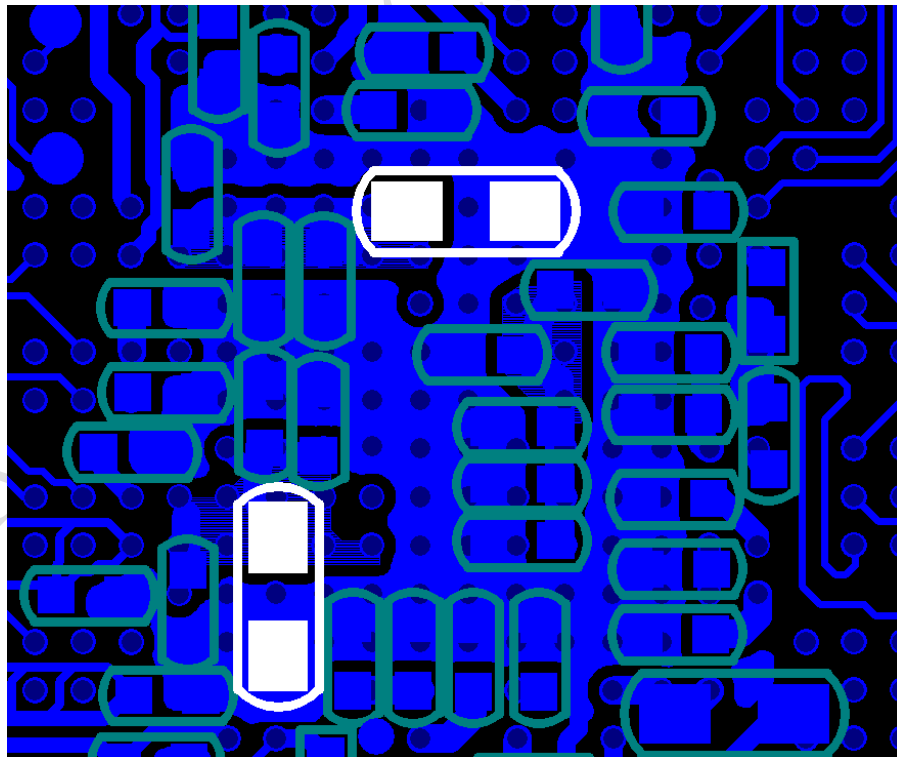


图5-6

主控下方的地过孔需要足够多，均匀放置并交叉连接，以改善电源质量、提高散热性并提高系统的稳定性。主控下方能采用的过孔尺寸为 0.2mm/0.35mm（内/外径），如图 5-7。

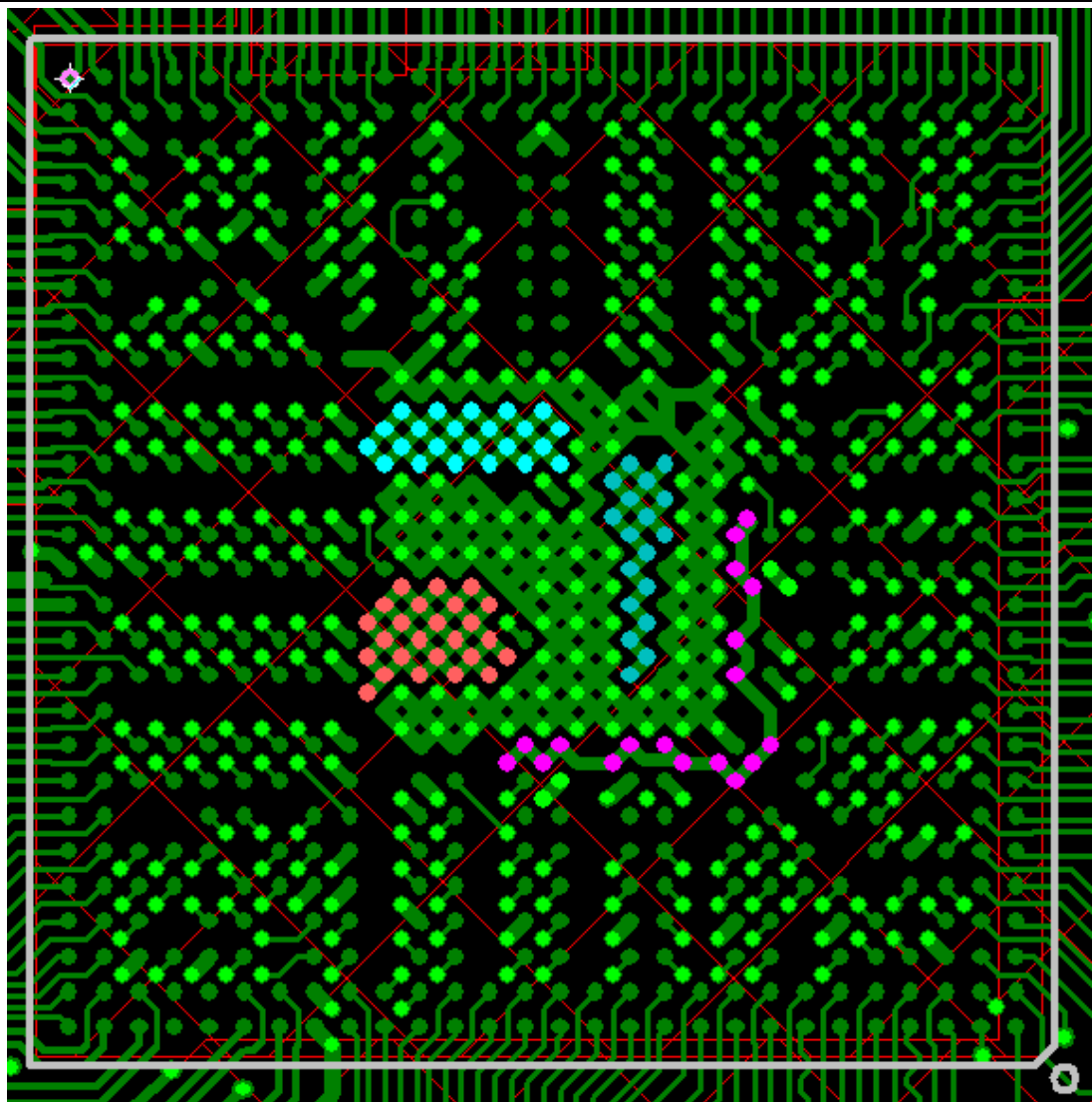


图5-7

小贴士：

- 如何设置电源铺铜的宽度：

根据PCB直线宽度允许最大电流的经验计算公式：

$$I = KT^{0.44} A^{0.75}$$

公式中的**K**为修正系数，一般铺铜在外层取**0.048**，铺铜在内层取**0.024**；**T**为允许的最大温升，单位为℃（摄氏度）；**A**为铺铜的截面积，单位为平方mil（注意，是平方mil，不是平方mm）；**I**为容许的最大电流，单位为**A**（安培）。

以RK3288的VDD_CPU电源为例，峰值电流达到**5A**，假设电源走内层，铜厚为**0.8mil**（**0.5oz**），允许最大温升**10℃**，那么PCB走线需要**312.5mil**，如果要进一步降低PCB电源走线的温升，就必需加大铺铜宽度。所以如果PCB空间足够，建议尽量采用更宽的铺铜，以降低温升。

- 如何设置电源换层过孔数量：

计算一个过孔能通过多大电流，也可以利用上述公式，过孔的铜皮宽度计算公式为： $L = \pi R$ ，这里的R指过孔的半径。

以0.2mm孔径的过孔为例，铜皮厚度为0.8mil（0.5oz），允许最大温升10℃，那么一个过孔约可通过420mA电流，想通过5A的电流至少需要13个0.2mm孔径的过孔。在面积有限的情况下，增大电源过孔的孔径可减少过孔数量。

3.3 SYR827、SYR828 PCB Layout guide

SYR827、SYR828芯片引脚定义如图5-8。

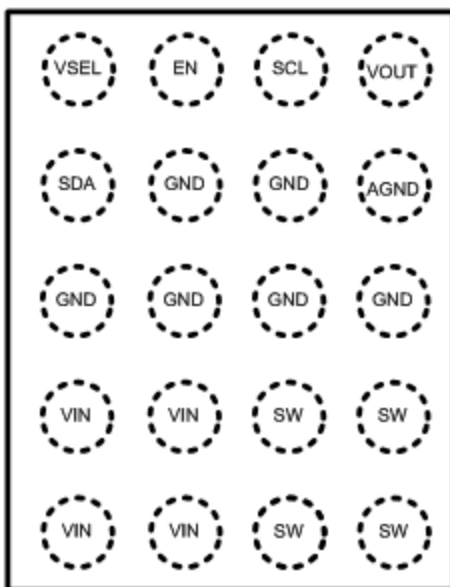


图5-8

请把输入电容C_{in}、输出电容C_{out}放置于Vin pin、Vout pin与GND之间，尽量减小Vin、Vout与GND之间的环路面积，这样可以减小电源纹波幅度，大大提高芯片的可靠性，如图5-9。

贴片时IC内部不能灌铜，否则在SMT时IC容易移位，只能走线连接。芯片就近放置地过孔（数量保证10个以上），如图5-9。

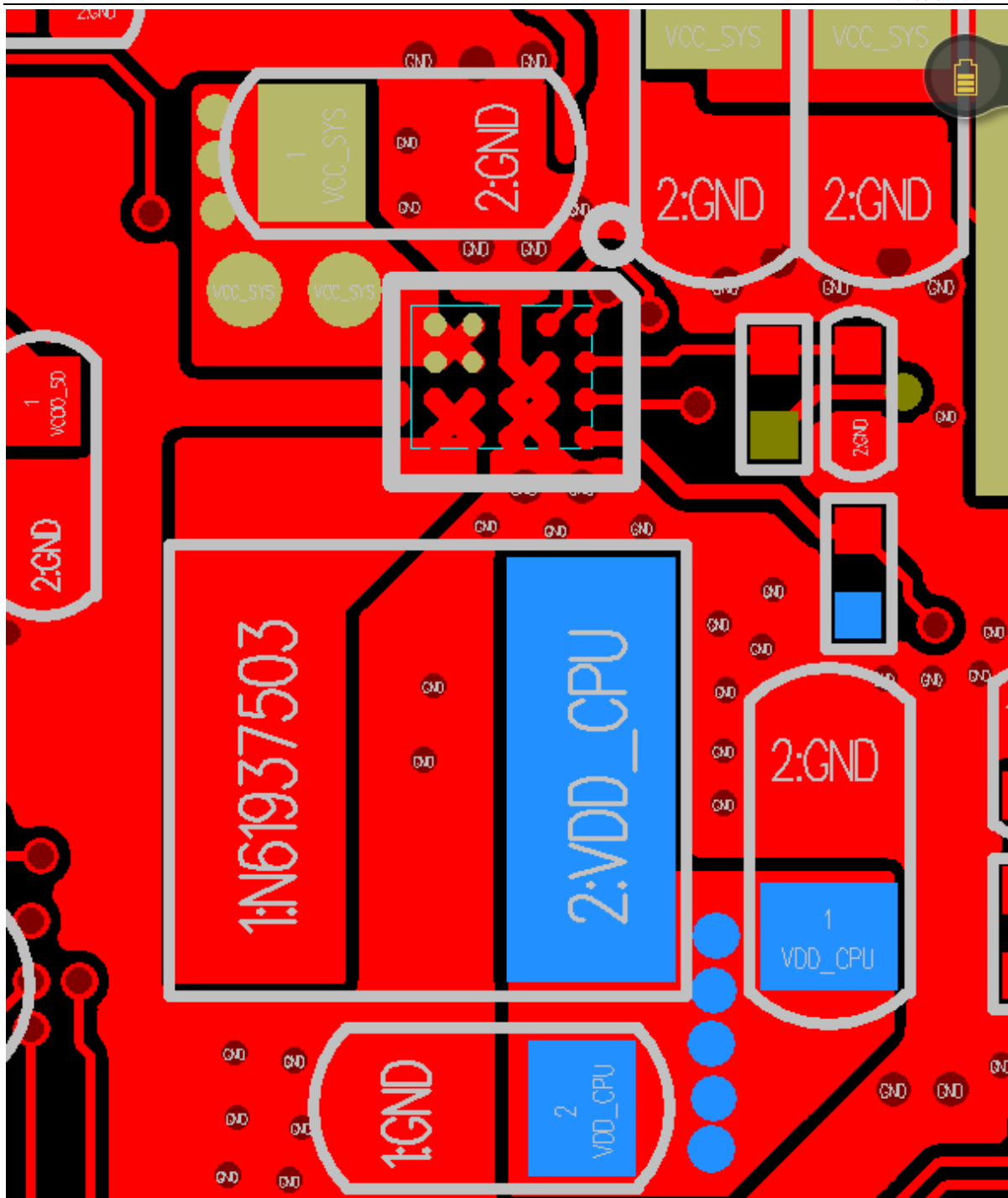


图5-9

SYR82X DCDC电感参考值为：感量0.22uH，饱和电流大于5A，直流电阻要求小于20mR；为了提高电源输出质量，建议使用取值范围在0.22uH~0.24uH（实际的测试，使用0.22uH电感，电源输出纹波比相比0.33uH电感小20mV左右）之间。

SYR827与SYR828分别对应VDD_CPU和VDD_GPU电源，两颗芯片I2C地址不同，外观一致但丝印略有不同。贴片时工厂极易贴错位置造成开机死机，且返工困难（工厂50%左右的成功率）。客户需重点注意此物料位置，放置贴错。外观鉴别如图5-10、图5-11：



图5-10 (型号: SYR827. 对应VDD_CPU电源)



图5-11 (型号: SYR828. 对应VDD_GPU电源)

3.4 PMIC RT5C620

RT5C620建议在单电池供电方案使用，成本相对较低，但是必须注意尽量避免在电池端最大电流超过3.5A的系统中应用（比如eDP 9.7寸大屏显示方案。因为单电池方案中：电池内阻70mR、电量计采样电阻20mR、路径管理内阻60mR这些加起来很容易超过150mR， $150\text{mR} \times 3.5\text{A} = 0.525\text{V}$ 就有这么大一部份压降损耗在传导路径上，导致电池应用效率低下），尽量采用满电电压4.35V、内阻小于70mR、90%电量在3.5V以上的电池。

跟所有的DCDC设计一样必须保证输入输出电容地尽量靠近芯片地如图5-12，输入输出电容的接地端需要跟据供电电流的大小打相对应的数量的过孔到主地上如图5-13。

1.1 <DCDC Block>

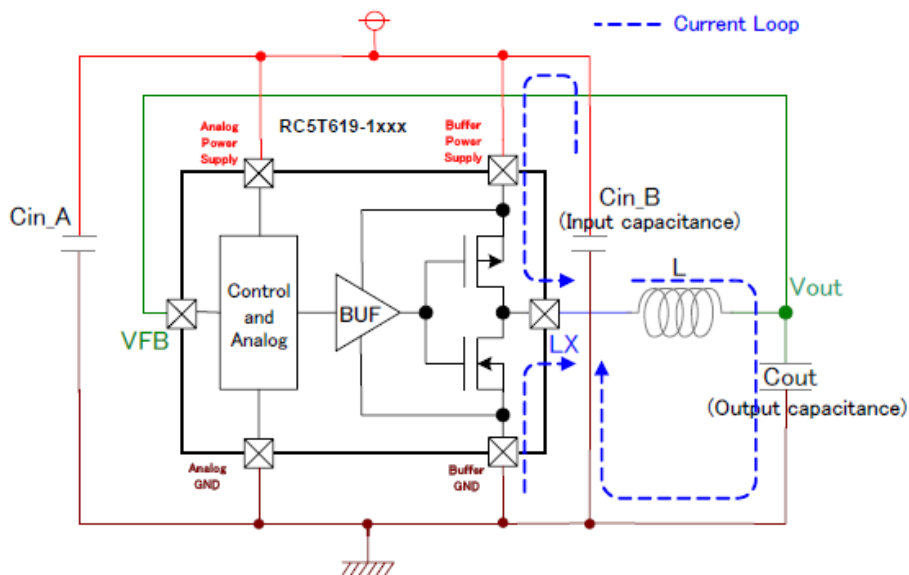


Fig. 1-1: Simplified Schematic for DCDC1, DCDC2, DCDC3, DCDC4 and DCDC5

图 5-12

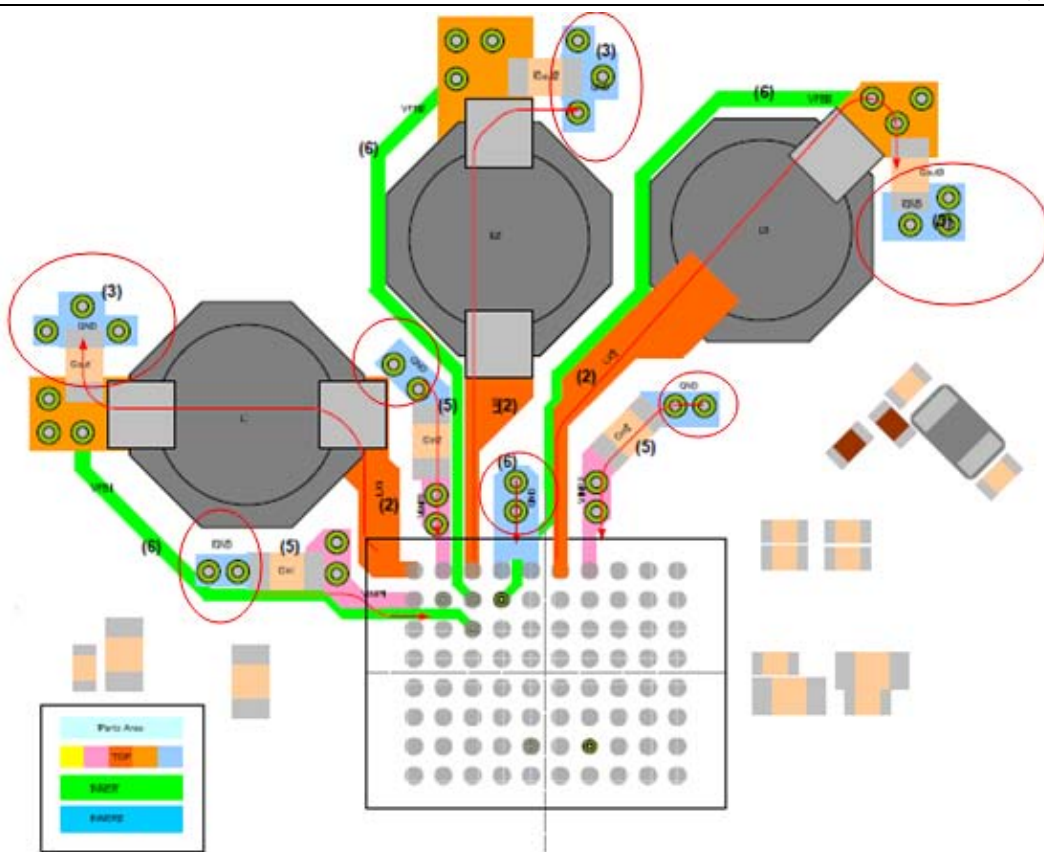


图5-13

RT5C620中有两个采样电阻：1个是充电电流采样电阻如图5-14，在PCB走线时需要从采样电阻R2166的两端差分走线到C4与C5两个焊盘上，如图5-15蓝色线所示，特别注意C5不能直接跟B5直接短在一起，否则会出现充电电流偏小的现象。

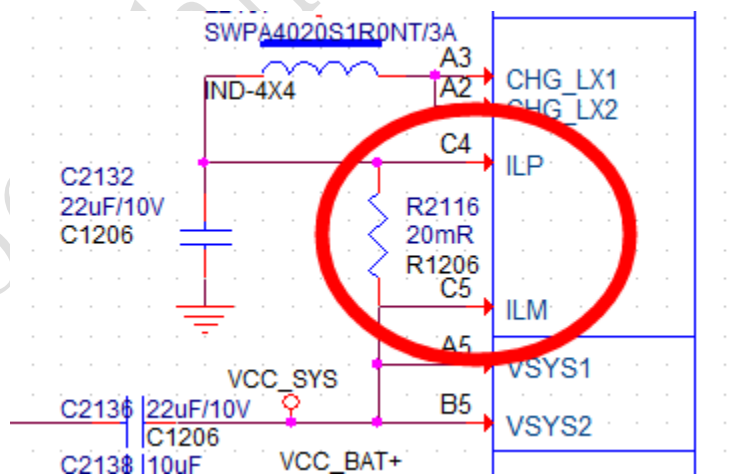


图5-14

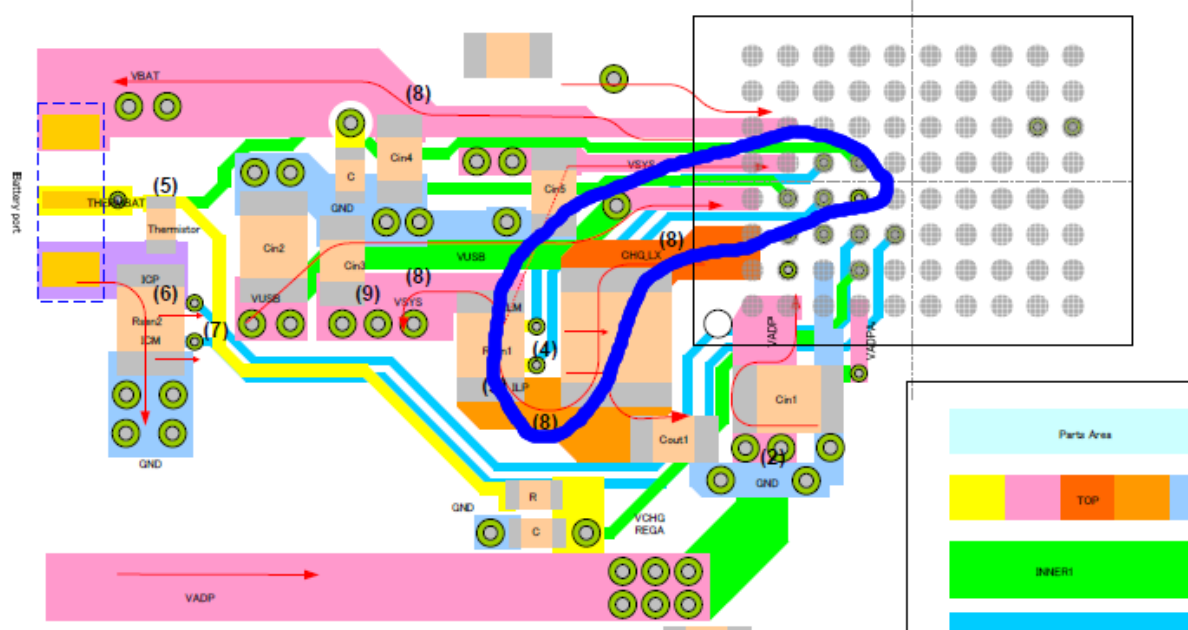


图5-15

另一个采样电阻是电池端的电流采样电阻R2119如图5-16，Layout时请务必将R2120靠近R2119，R2120不直接与地连接，用Keepout隔开铺铜后单独拉线到R2119焊盘上，ICP, ICM再差分走线到E3, D3两个焊盘上，如图5-17。

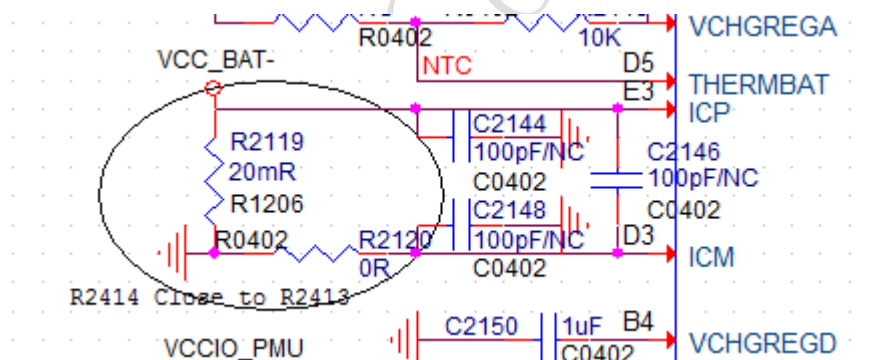


图5-16

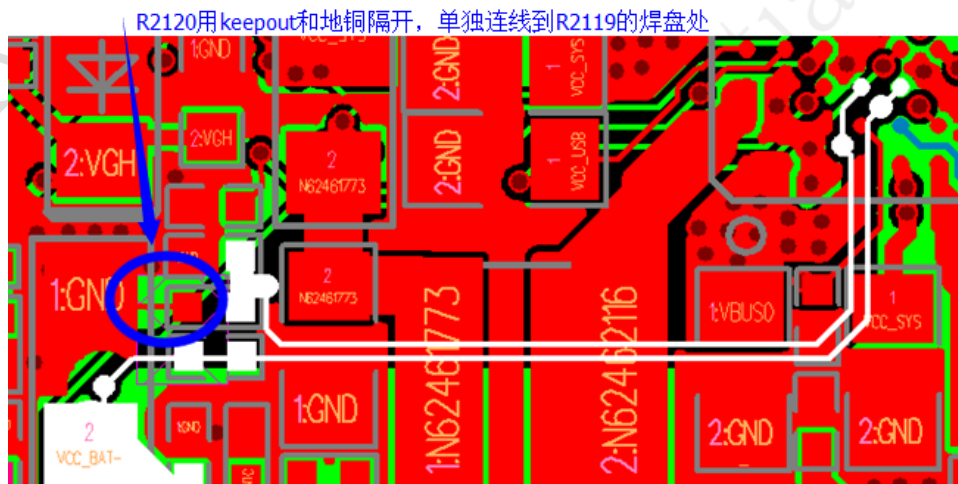


图5-17

32. 768KHz晶体包地处理，第二层参考地平面，尽量不要走其它数据线以免对时钟造成干扰，如图5-18。

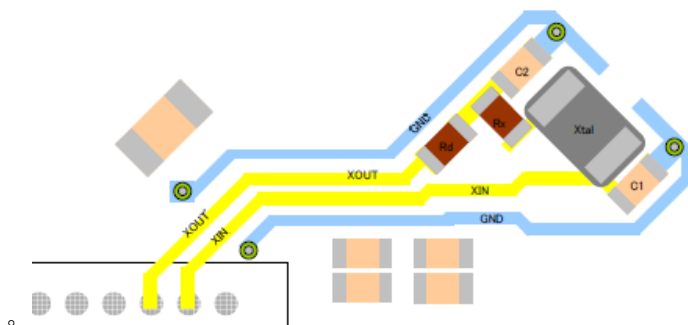


图5-18

RT5C620 在只有 USB 充电口的方案中必须将 USB 口与 ADP 口短接，以降低线路损耗（USB 充电口的内部开关管内阻大于 ADP 充电口）。（注：ADP 与 USB 充电输入口短接后，会以 ADP 口充电优先，所以 USB 口到 ADP 端要走粗线）

3.5 PMIC ACT8846

为了弥补单电池供电方案的一些不足，我们推出了ACT8846+BQ24133充电IC及CW2013电量计的双电池供电方案，虽说该方案成本及功耗上比RT5C620要差一些，但是对电池的供电要求没有单电池方案高，可靠性也较好，对设计门槛要求较低。

Layout规则上RT5C620差不多，主要关注输入输出及电感等走线要加粗，输入输出电容接地良好，主芯片底下尽量打满过孔利于散热及接地就好了如图5-19。

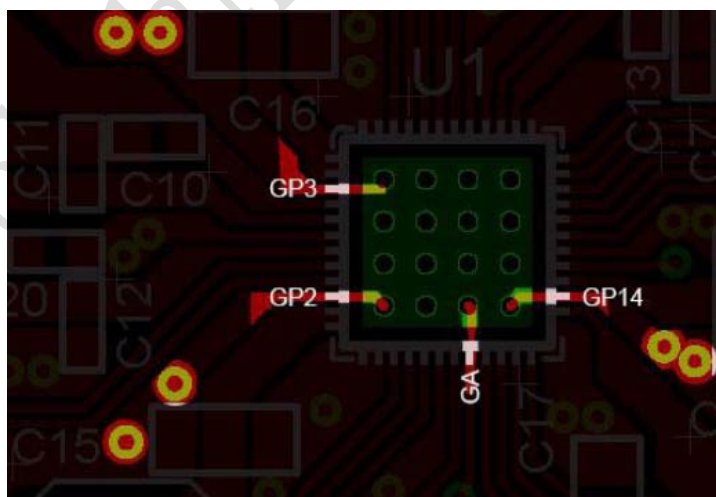


图5-19

DCDC的取样点FB要在电容端，尽量不要接在电感的两端，如图5-20的OUT3走线。

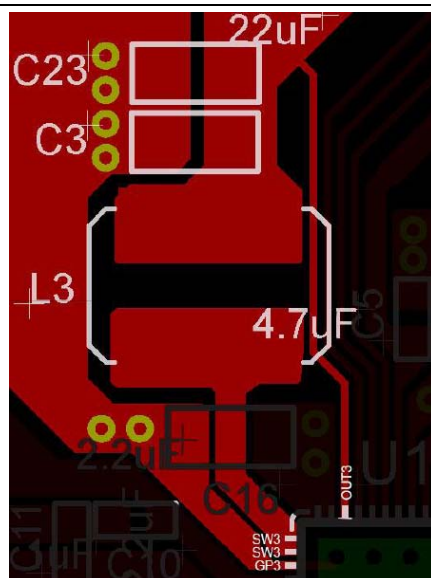


图5-20

布局时充电芯片尽量靠近电池放置，有利于减小内阻减小充电时间。

6 GPIO

6.1 Schematic

在实际的产品设计中，如果要改变RK已定义好的GPIO功能，一定要注意IO电平匹配及GPIO的上下拉特性，否则可能造成功能的异常。RK3288中的GPIO上下拉是在上电后是可配置并且可关闭的，如图6-1，原理图封装中有标注“_d”的为上电默认内部下拉，标注“_u”的为上电默认内部上拉，如要修改请参考RK发布的《RK3288_IO_LIST》。

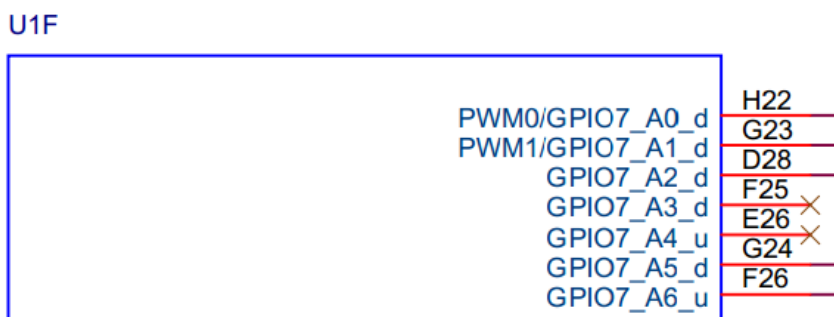


图6-1

RK3288芯片设计上，将所有有独立供电的功能模块的电源引脚都放置在各自的功能模块中，以达到按需分配及降低功耗的目的，所以实际应用中，没用到的模块可以不供电以降低功耗，如图6-2所示。

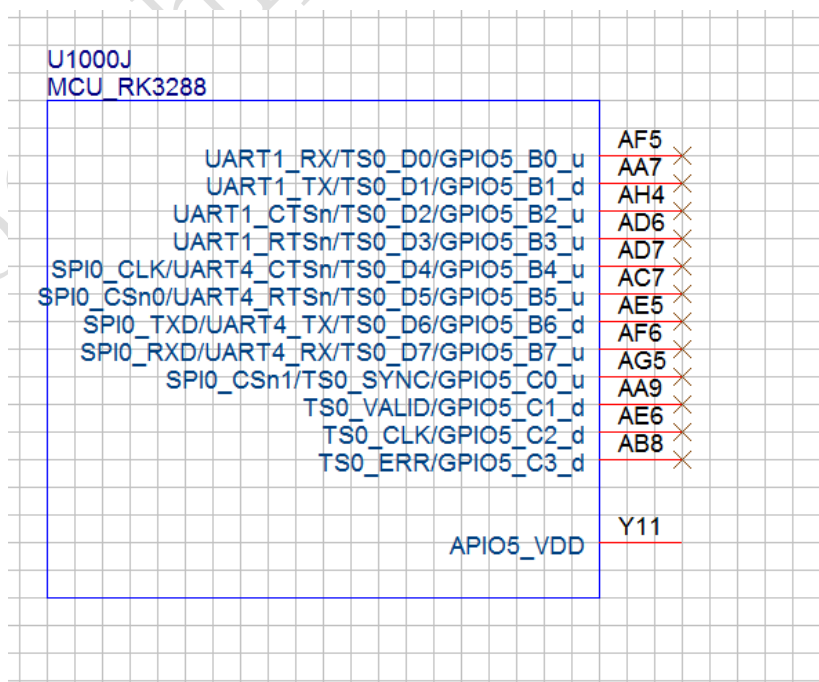


图6-2

不同功能模块，根据供电不同（1.8V、2.5V or 3.3V），可通过修改dts文件中regulator-name来调整对应的输出驱动强度，如图6-3。具体修改过程请向RK软件工程师咨询；

```
},
&apio3_vdd_domain{
    regulator-name = "vccio_wl";
};
&apio5_vdd_domain{
```

图 6-3

小贴士：

1. GPIO分配请尽量按照《RK3288_IO_LIST》中已经分配好的IO列表进行产品设计，软件上可不修改直接使用，以提高产品的进度和可靠性。

2. RK3288的IO上下拉在系统启动后，可以通过软件进行配置修改，详细请参阅RK发布的相关DATASHEET。

7 CPU&PMU

7.1 Schematic

RK3288只需一个外接24MHz晶体，如图7-1。图中晶体Y1100需要采用频偏 $\pm 20\text{ppm}$ ，温度频差 $\pm 30\text{ppm}$ 的石英晶体，负载电容C1101、C1102的容值需要根据晶体的实际标称负载电容值选择，8pF为我司选用晶体所对应容值，不为通用值。

为减小晶体及内部PLL时钟抖动，避免因信号回流路径设计不良导致的时钟jitter过大，RK3288时钟信号参考地为OSC_XVSS引脚。该设计对PCB Layout有一定要求，普通客户如果不需要预留调整的话可以删除R1102电阻，并将OSC_SVSS连接至GND网路。

RK3288在进入低功耗模式时，将把内部时钟源切换到外接32.768KHz的信号以降低系统功耗，此信号可以从PMIC或是外置RTC时钟源获取。

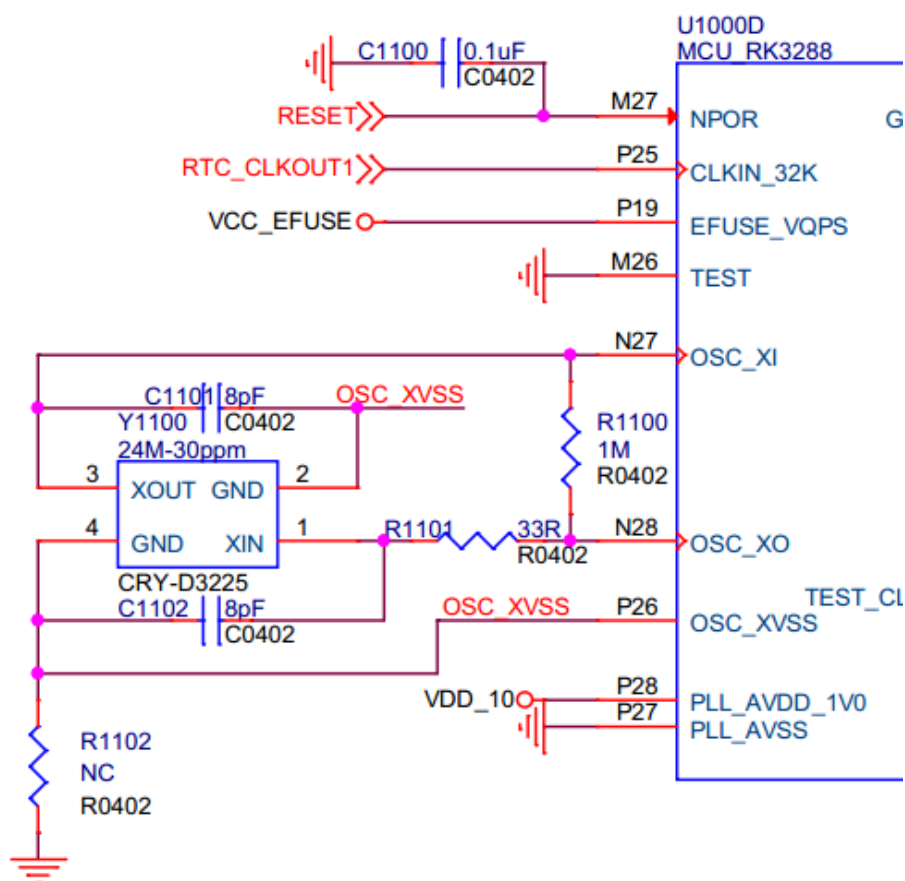


图 7-1

7.2 PCB Layout

24MHz晶体下方，表层及第二层禁止其他网络走线。

使用OSC_XVSS为时钟地时，晶体请靠近CPU放置，OSC_XVSS需要作为晶体走线的参考平面，如图7-2。

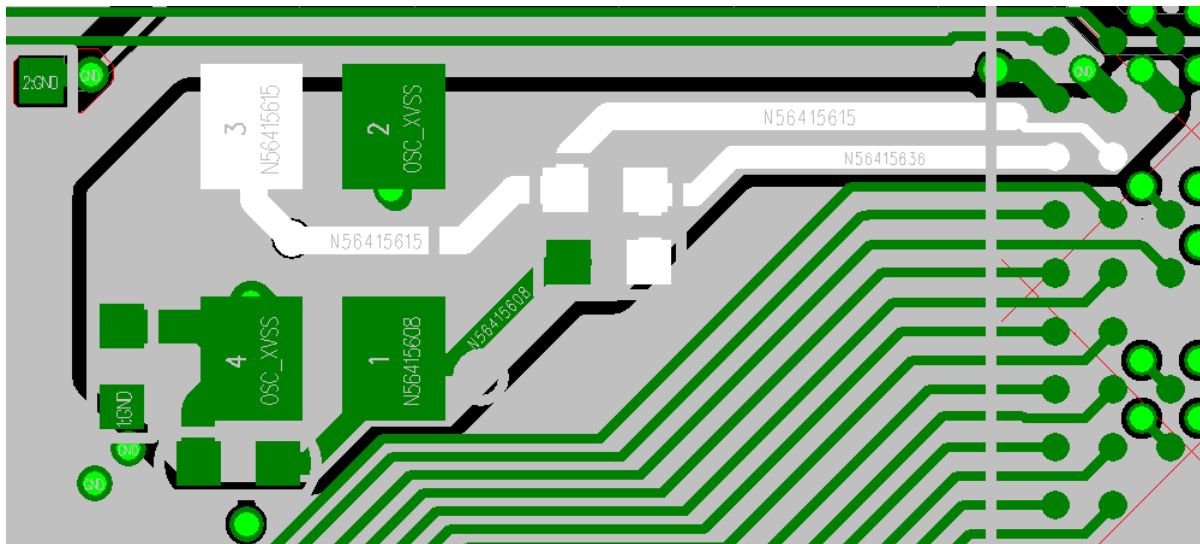


图7-2

使用GND为时钟地时，晶体请靠近CPU放置，并注意在晶体引脚及负载电容处多打地过孔，如图7-3。

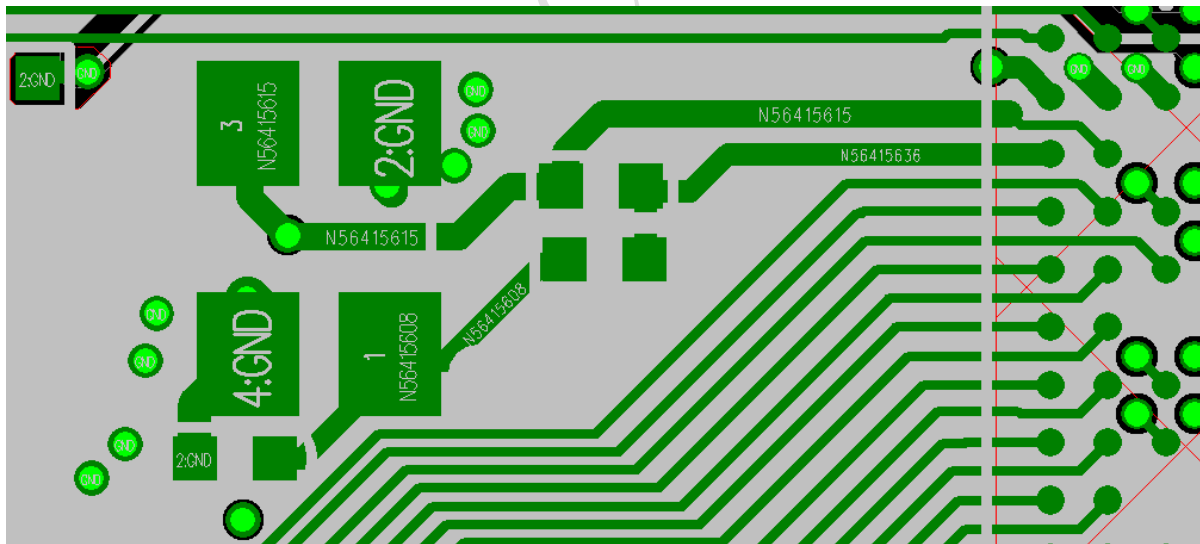


图7-3

8 DDR Controller & DRAM

8.1 Schematic

- RK3288 有 2 个通道的 32bits DDR 控制器，两组控制器操作一致，现以 DDR0 通道为例说明下信号分组要求：
 - 4 组数据线 (DATA0—DATA31)、4 条 DATA MASKS (DQM0—DQM3)，4 对 DATA STROBES 差分线 (DQS0P/ DQS0M—DQS3P/ DQS3M)，这 36 条线和 4 对差分线分为四组：
GROUP A: (DATA0—DATA7, DQM0, DQS0P/ DQS0M)
GROUP B: (DATA8—DATA15, DQM1, DQS1P/ DQS1M)
GROUP C: (DATA16—DATA23, DQM2, DQS2P/ DQS2M)
GROUP D: (DATA24—DATA31, DQM3, DQS3P/ DQS3M)
 - 剩下的信号线分为三类：
GROUP E: Address: ADDR0—ADDR14 共 15 条地址线。
GROUP G: Control: 包括 WE、CAS、RAS、CS0、CS1、CKE0、CKE1、ODT0、ODT1、BA0、BA1、BA2 等控制信号。
GROUP F: Clock: CLK、CLKn 差分对。
Address、Control 与 CLK 归为一组，是因为 Address、Control 在 CLK 的下降沿由 DDR 控制器输出，DDR 颗粒在 CLK 的上升沿锁存 Address、Control 总线上的状态，所以需要严格控制 CLK 与 Address/Command、Control 之间的时序关系，确保 DDR 颗粒能够获得足够的、最佳的建立/保持时间。
- 不管使用 DDR3、LPDDR2 还是 LPDDR3，都不允许调换地址线及控制信号线，即 GROUP E、GROUP G。
- 数据线间整组 GROUP 调换的时候，4 条 DATA MASKS (DQM0—DQM3)、4 对 DATA STROBES 差分线 (DQS0P/ DQS0M—DQS3P/ DQS3M) 也要同时调换，如图 8-1；

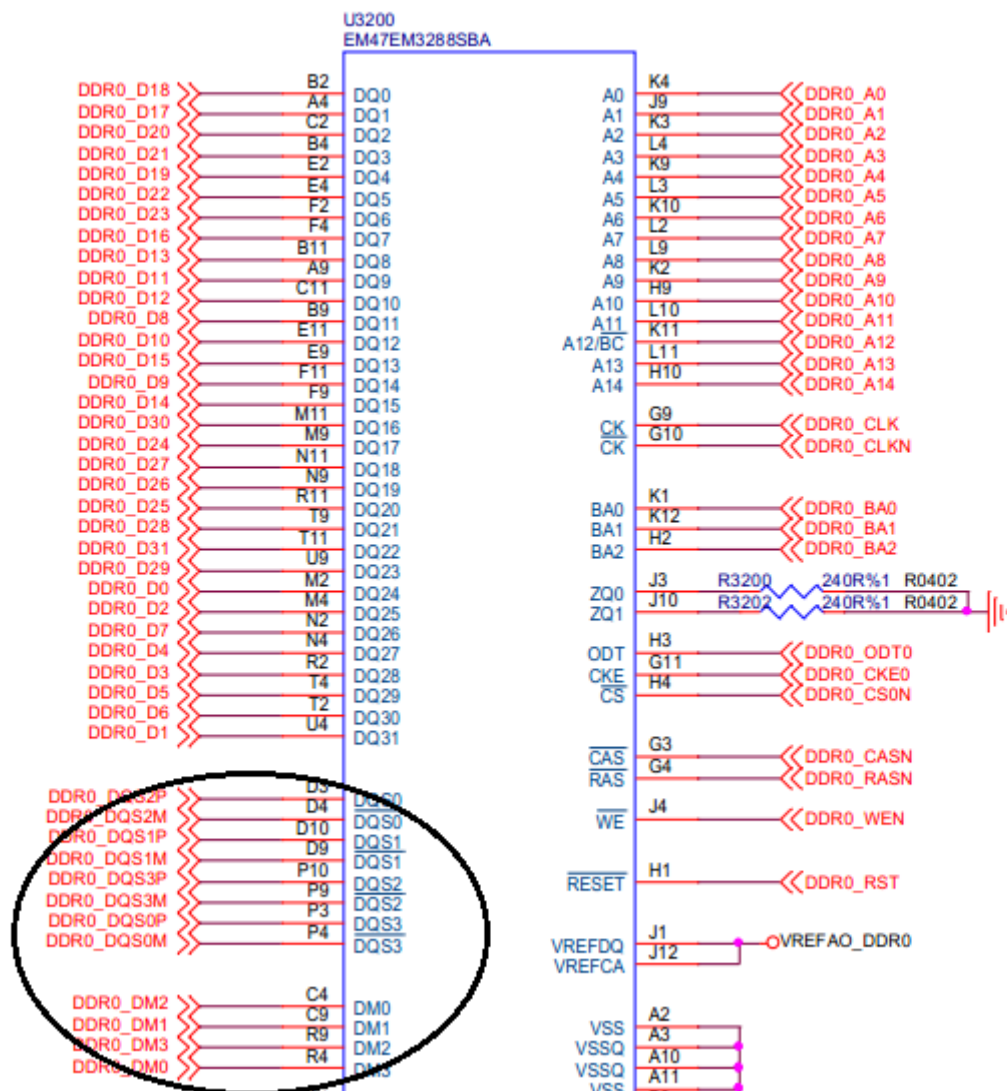


图 8-1

- 如果使用 DDR3，所有数据线（GROUP A、B、C、D）可以做组内调换（如 DDR0_D8~D15 随意调换顺序），或者是整组间调换（如 GROUP A 与 GROUP D 整组进行调换）根据实际需要任意调换，如图 8-2。

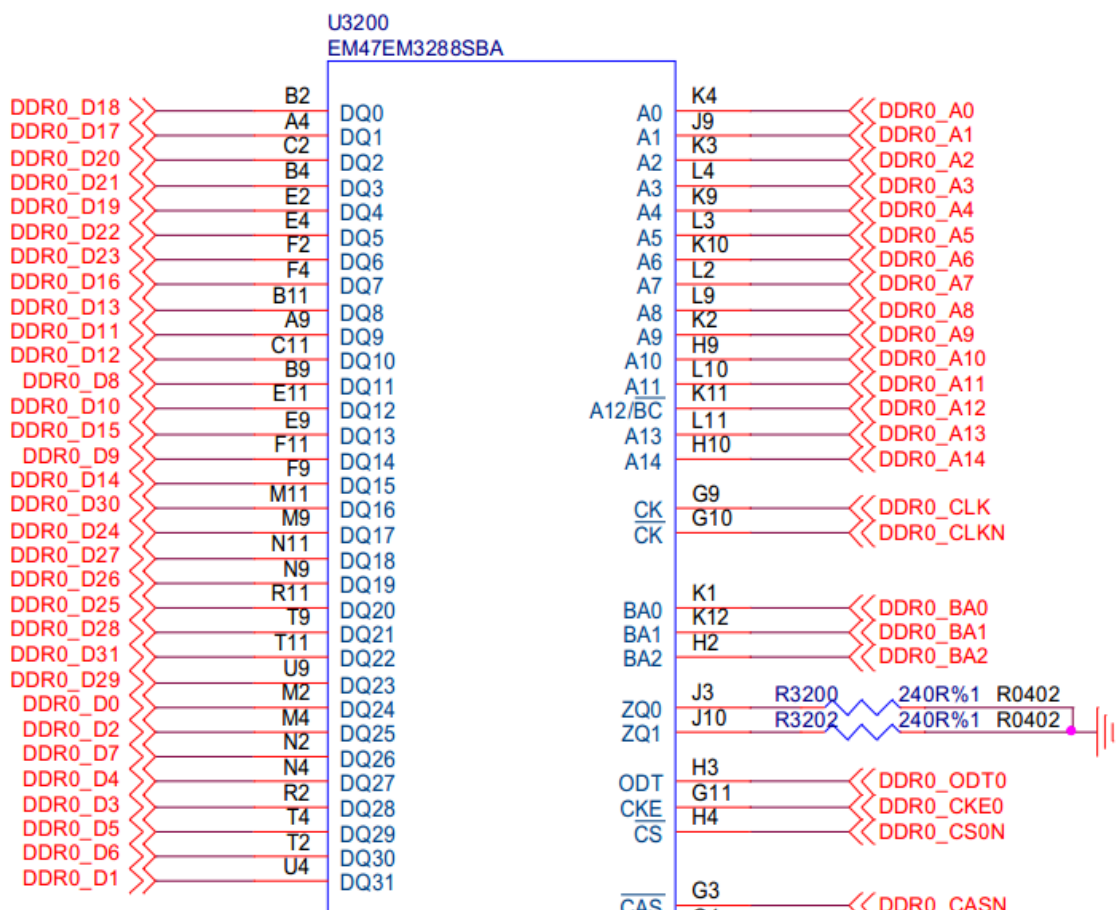


图 8-2

- 如果使用 LPDDR2/ 3，通道 0 的 GROUP A 不能做组内及组间调换，要求一一对应连接到颗粒的 A 或 B 通道的 D0~D7；其余数据线（GROUP B、C、D）可以做组内调换（如 DDR0_D8~D15 随意调换顺序），或者是整组间调换（如 GROUP B 与 GROUP C 整组进行调换）；通道 1 的所有 GROUP 可以根据实际需要组内调换或是整组调换。如图 8-3 所示。



图 8-3

- DDR_RETLE 为 DDR 控制器 retention latch 使能输入脚，控制 DDR PHY 进入自刷新模式以降低功耗，该引脚工作电平需与 VCC_DDR 保持一致。DDR3 模式下通过分压电阻 R1204

(120K)、R1206 (120K) 保持电平匹配 (如图 8-4), 在 LPDDR2/3 模式下, 请修改分压电阻阻值为 R1204(100K)、R1206(82K)。

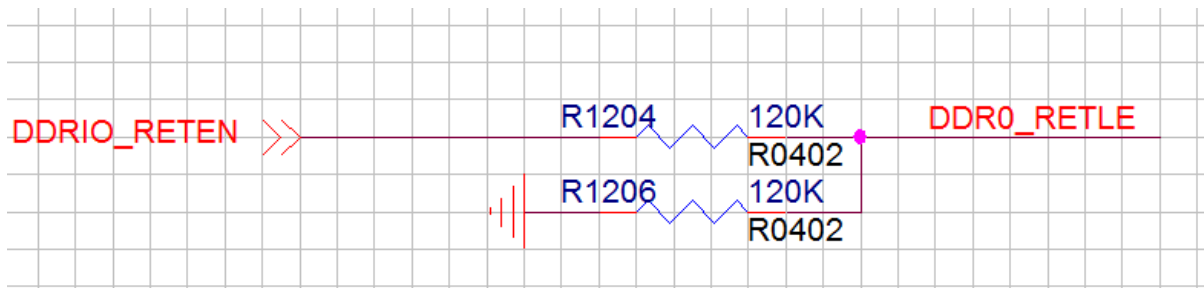


图8-4

- 参考电源分压电阻请确保使用精度 1% 的电阻。VREF_DDR 电源在休眠时可关闭, 两个分压电阻为 1K; VREFA0_DDR 电源在休眠时不可关闭, 故采用 10K 的分压电阻以降低功耗, 为保证电源的跟随特性, 电阻需要分别并联 0.1uF 电容, 如图 8-5 所示;

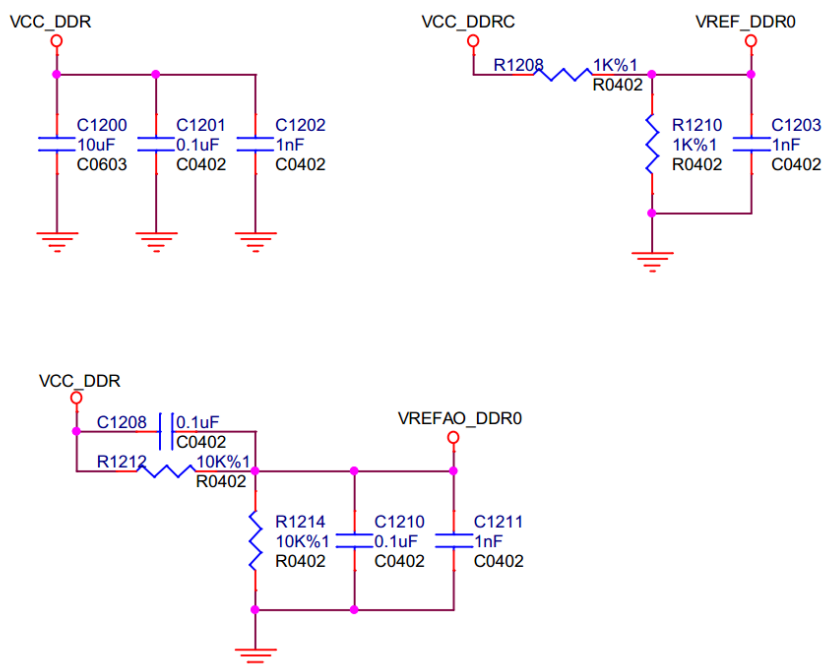


图8-5

- 对于有分支的 DDR 拓扑结构, 如 DDR3, 需要 DDR_CLK 和 DDR_CLKn 之间预留一个 0402 封装电阻位, 且布局时尽量靠近 DDR 颗粒的时钟走线分支点。



图 8-6

- VCC_DDRC 电源由 MOS 管控制，在休眠情况下关闭 VDDQ 供电以降低系统功耗，如图 8-7。
LPDDR2/3 模式下，为避免 VCC_DDRC 电压过低（1.2V）导致 MOS 无法完全导通，增加一个 N MOS 管 Q3100，如图 8-8 所示；

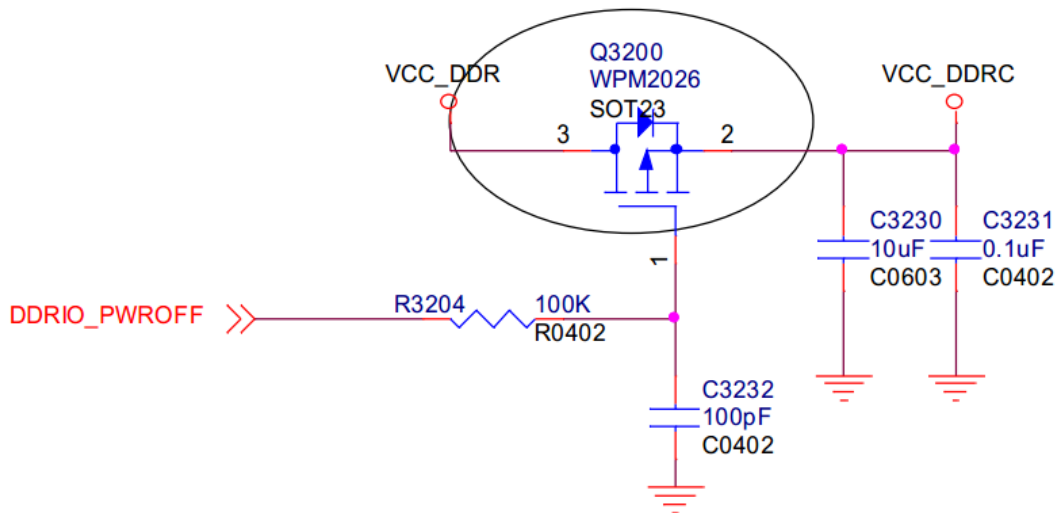


图 8-7

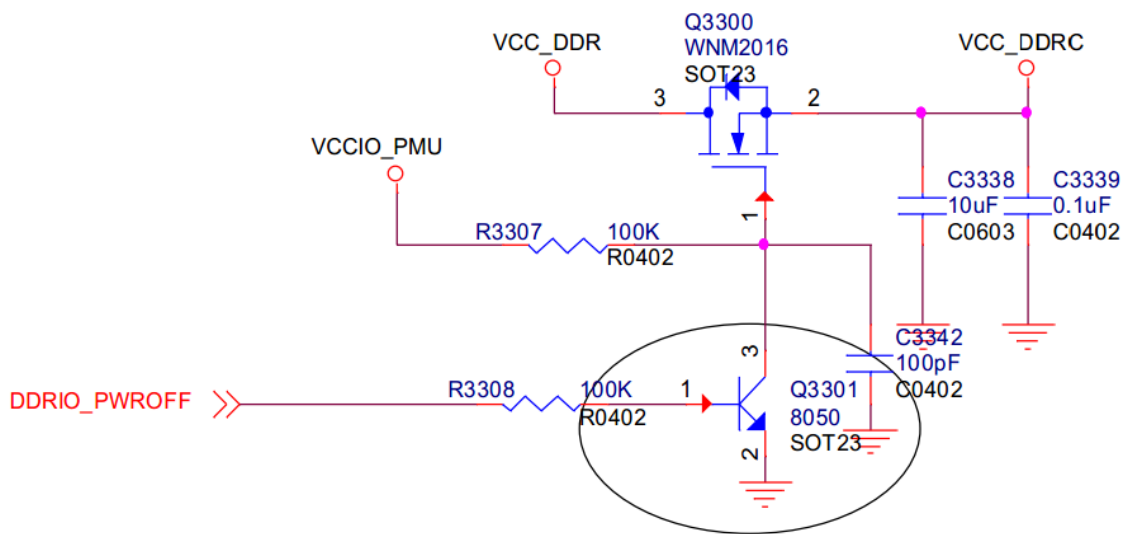


图 8-8

8.2 PCB Layout (DDR0 channel、DDR1 channel)

为了保证DDR的性能及得到好的兼容性，请严格按以下要求进行，否则将降低产品的性能及稳定性，严重时系统可能将无法正常工作。

✧ 走线宽度及安全间距

- 走线宽度，所有的 DDR 相关走线线宽设置为 4mils。

- 由于主控的球距为 25.59mils，所以同一信号组内两相邻导线之间的间距为 12.795mils，即焊盘中心距离的一半，只要从主控端平行等距出线，都能符合 3W 原则。
- 不同信号组之间两相邻信号线之间的间距要求3W以上。
- 差分对线宽4mils，线间距4mils。

✧ 信号线长要求

GROUP A ~D中DQSnP/DQSnM之间的线长误差控制在5mils以内；每个GROUP内的数据线DATAn和DQMn组内线长误差控制在50mils以内；组间的数据可适当放宽要求，控制在120mils以内。

GROUP E、GROUP G之间的线长误差控制在100mil以内。

GROUP F中的CLK、CLKn差分对的线长误差控制在5mil以内。

✧ 其它走线注意点

- DQS 信号线应布在组内 DQ 信号线中间。
- DQS 与时钟不要相邻。
- 蛇形线的线与线中心间距遵守 3W 原则，蛇形线振幅应控制在 180mils 以内，否则会破坏信号质量，使传输延时低于预期。
- DDR3 的信号线必须有完整的参考面，以保证信号电路的回流路径阻抗最小、以及保证阻抗的连续性。
- 禁止 DDR3 所有信号线跨越不同的电源平面。
- 禁止其它类型的信号线穿越 DDR 走线区域。
- RK3288 和 DDR 颗粒的每个 VCC_DDR 管脚尽量在芯片背面放置一个退耦电容，而且过孔应该紧挨着管脚放置，以避免增加导线的电感。

✧ VREF 的处理

- 主控与DDR3颗粒的VREF 分开，各从VDDQ 分压取得，VREF 尽量靠近芯片，VREF 走线尽量短，且与任何数据线分开，保证其不受干扰（特别注意相邻上下层的串扰），且相对VDDQ有良好的跟随性，保证VREF的电压值在噪声、温度变化时，会随着VDDQ变化；
- VREF只需要提供非常小的电流（输入电流大概3mA），每一个VREF脚都要靠近管脚加1nF旁路电容（每路电容数量不超过5个，以免影响电源跟随特性），线宽建议不小于10mils。

✧ 阻抗要求

- 单线特征线宽 5mils，阻抗控制 50~75ohm，但内外层布线的阻抗突变应小于 10ohm。
- 差分对阻抗控制 100~130ohm，但内外层布线的阻抗突变应小于 20ohm。
- 电路板的填充材料的介电常数一般变化范围是 4.0~4.5，它的数值随着频率，温度等因素变化。FR-4 就是一种典型的介电材料，在 100MHz 时的平均介电常数为 4.2；推荐使用 FR-4 作为 PCB 的填充材料。

✧ 保证铺铜的完整性

DDR部分的铺铜完整会直接影响DDR的性能及提高DDR的兼容性，按以下要求设计，就能达到如图8-9所示的效果。

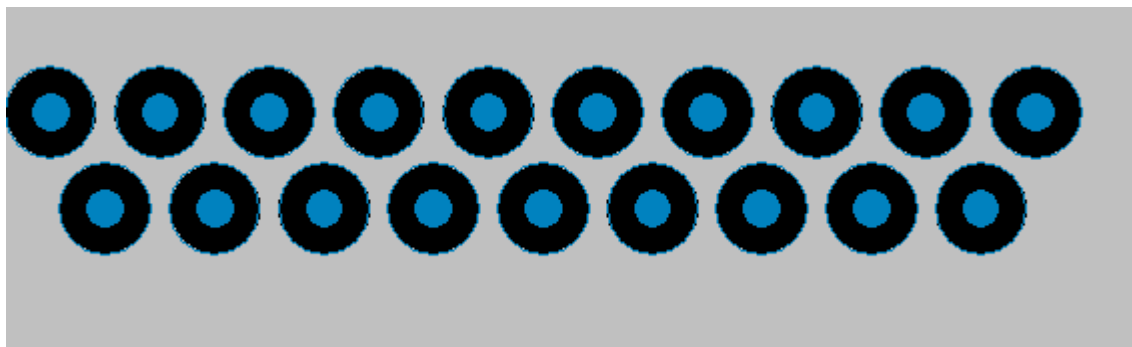


图8-9

- 确保信号线换层过孔均匀分布，两个过孔之间安全间距等于或大于 32mils。
- 采用 0.2mm 孔径，0.4mm 孔盘的过孔。
- 铺铜层属性设置成混合分割层。
- 过孔与铺铜的安全间距设置为 5.5mils。
- 铺铜线宽设置为 4mils。

注：详细请参考RK发布的DDR核心模板PCB文件以及相对应的设计说明文件。

9 Flash control & Memory

9.1 Schematic

RK3288支持Nand Flash、eMMC、tSD等FLASH存储设备。使用Nand Flash、tSD Flash时，控制器及颗粒供电VCC_FLASH为3.3V（图9-1中R1300为NC）。而不同版本的eMMC，控制器及颗粒供电VCC_FLASH可能为1.8V（eMMC4.1以上）或者3.3V，设计时请根据Datasheet调整，并修改FLASH0_VOLTAGE_SEL上下拉状态，如表9-1所示。

小贴士：

- eMMC 在使用中，建议 VCC_FLASH 使用 1.8V 供电，才能稳定跑高速；
- FLASH 1 通道不支持 eMMC Flash；
- Boot 默认由 FLASH 0 通道引导，不可修改；

表9-1

FLASH0_VOLTAGE_SEL	1.8V	3.3V
（默认内部下拉）	VCC_FLASH	GND (default)

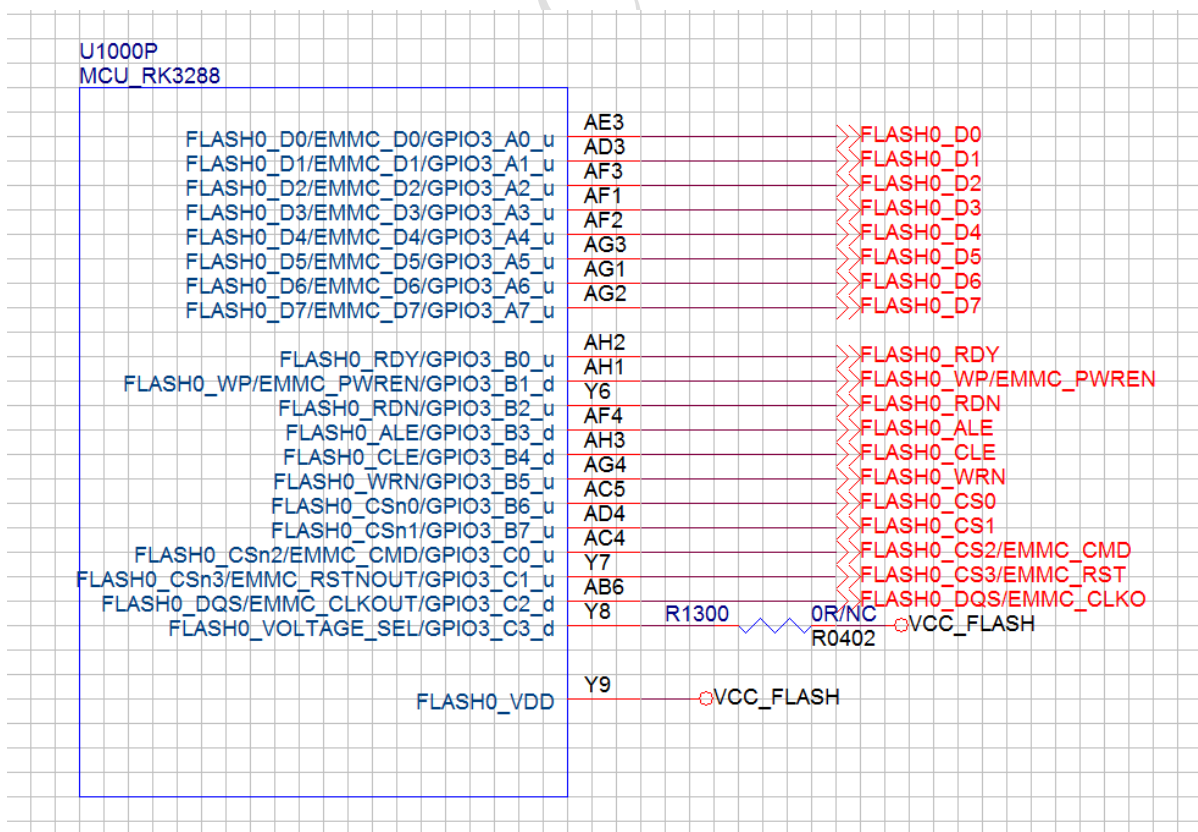


图9-1

如果使用 Nand Flash, 原理图如图 9-2 所示。当使用 Toshiba 和 Sandisk 的 DDR 模式 Nand Flash 时, VCCQ1 和 VCCQ4 需要连接到 VCC_IO 供电, 即 R4001、R4003、R4004、R4005 要贴 0R 电阻。

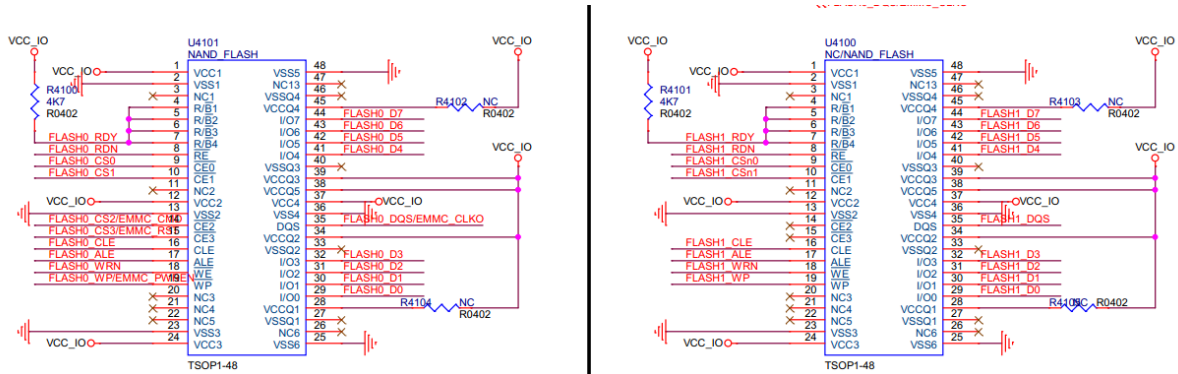


图9-2

如果使用 eMMC Flash, 原理图如图 9-3 所示。eMMC-DATA/CMD 信号线上拉电阻使用 10K, 电源为 VCC_FLASH, eMMC-CLK 不需要上拉。

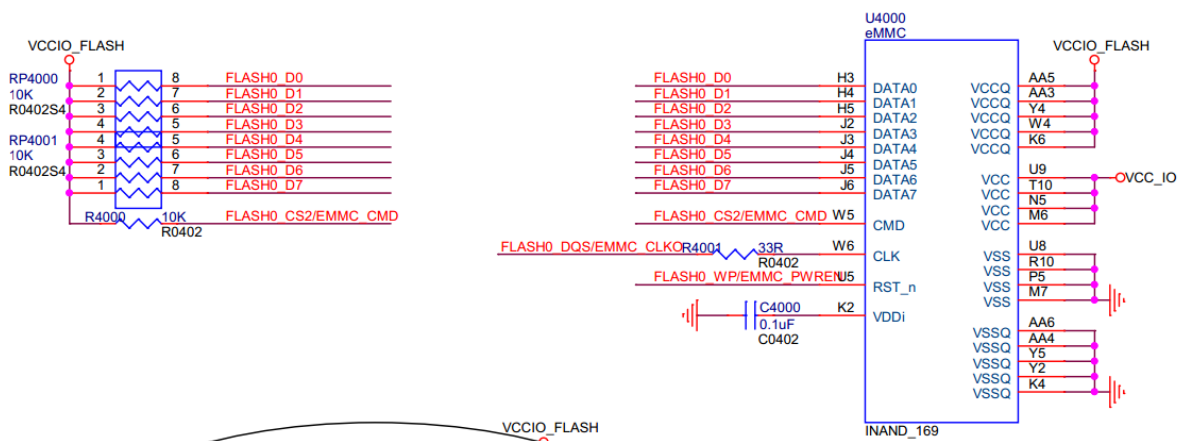


图9-3

eMMC默认为1.8V LDO供电, 如图9-4, 可兼容eMMC4.1以下颗粒, 产品备料范围更广。

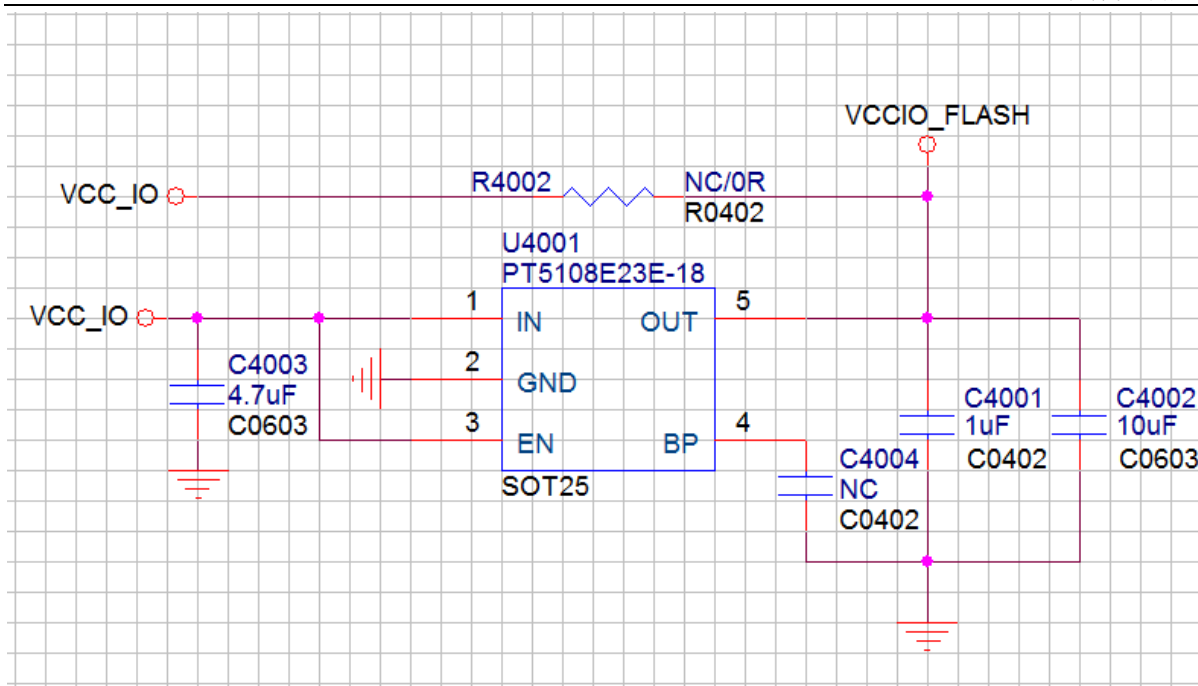


图9-4

为了方便在开发阶段进入MaskRom固件烧写模式（需要更新LOADER），使用Nand Flash时FLASH_CLE需预留测试点，而在使用eMMC Flash时EMMC_CLKO要预留测试点，如图9-5、图9-6所示。

Note:
Reserve PAD for Update.



图9-5

Note:
Reserve PAD for Update.

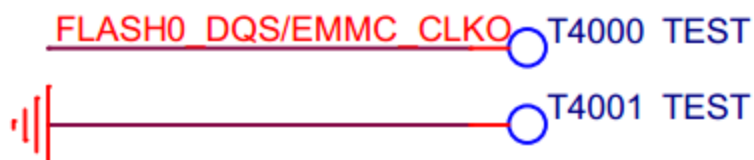


图9-6

8.2 PCB Layout

Nand Flash与eMMC Flash可以通过双Layout实现物料的切换，Layout结构如图8-7所示。eMMC芯片下方在铺铜时，焊盘部分需要增加铺铜禁布框，避免铜皮分布不均匀影响散热，导致贴片时出现虚焊现象。

eMMC Flash走线要求整组包地，信号组内任意两根信号的长度误差控制在400mil以内，否则会导致高速模式下频率跑不高。

Flash需要注意电源纹波不能大于80mV，所以电源走线需注意远离高速信号线。Flash的数据线不能Vbus、Vdc、VCC_SYS等纹波较大的大电流信号灌铜邻层走线。

固件升级模式测试点，建议靠近Flash就近放置，并放置于器件摆放层（非贴近LCM那面），便于升级操作，如图9-7。

采用如图9-8所示方式进行Layout，经过eMMC不用的引脚走线，可以降低PCB制板的间距要求。

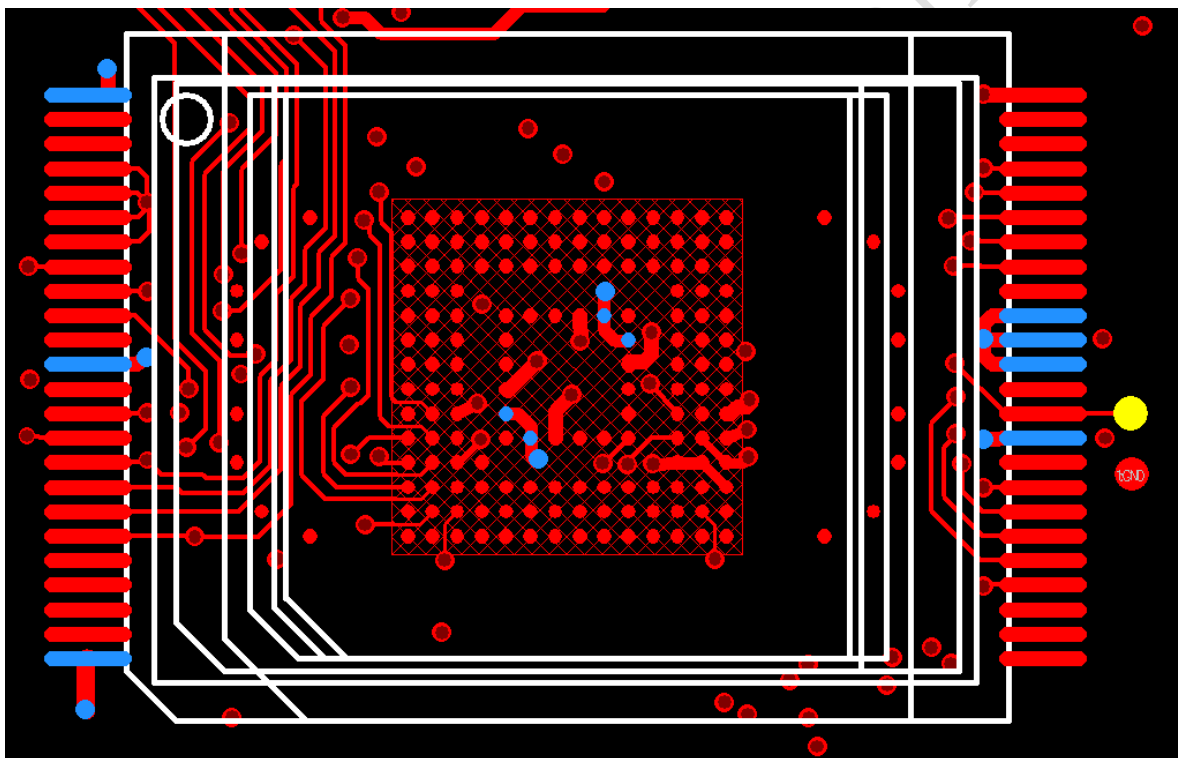


图9-7

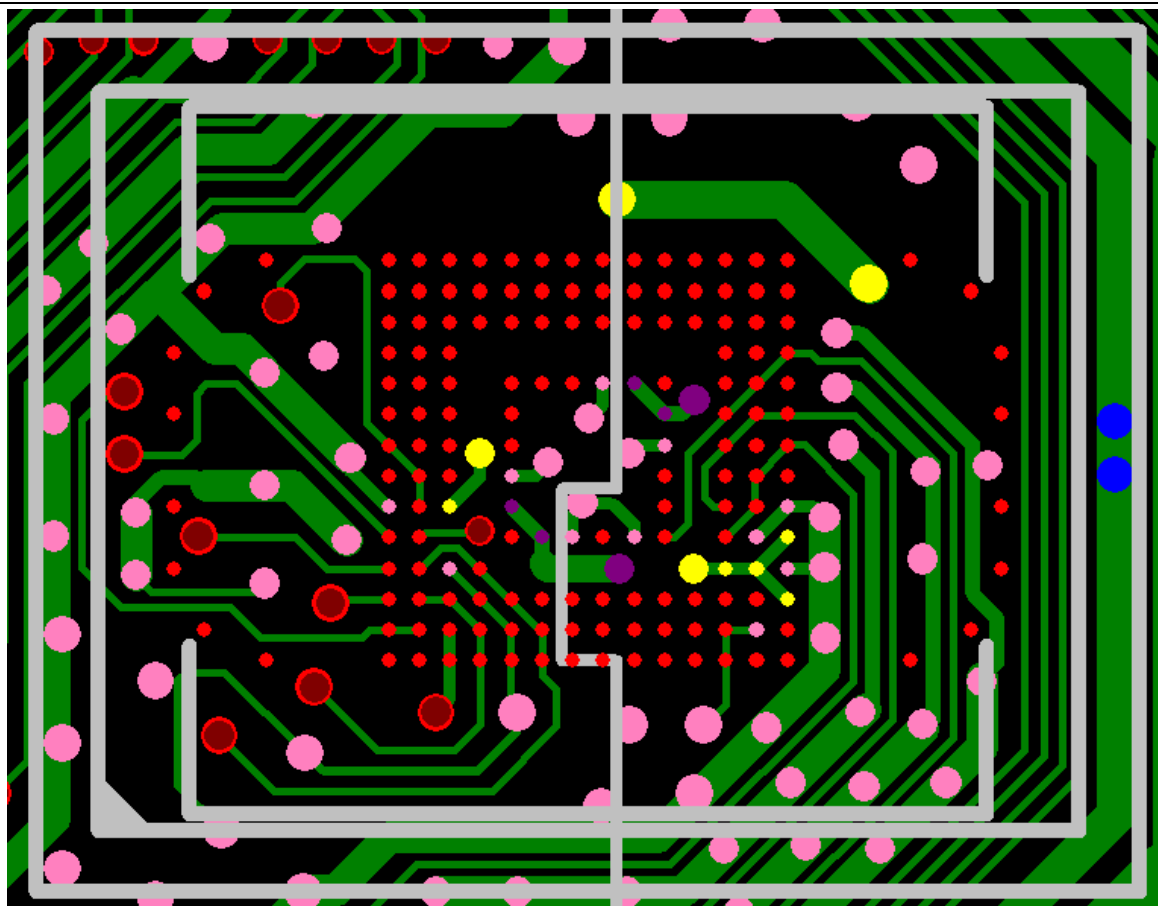


图9-8

10 TF Card

10.1 Schematic

RK发布的参考图采用的存储卡插座是TF card，如果要更换成SD card，请注意卡座的封装。

TF card电路兼容SD 2.0/3.0，模块供电为输出可调的VCCIO_SD，默认为3.3V供电，T卡供电VCC_SD为3.3V供电。当插入SD 2.0存储卡时，模块供电与卡供电均为3.3V，T卡正常工作。当插入SD 3.0存储卡时，主控芯片识别其为SD 3.0存储卡，调节VCC_SD供电为1.8V，以满足高速卡信号要求；同时T卡供电VCC_SD通过卡片内部LD0，生成1.8V为T卡提供电源。

当使用SD 3.0的存储卡时，建议增加上拉电阻RP8100、R8107，上拉到电源VCCIO_SD，以提高数据稳定性，如图10-1。

如果需要支持SD 3.0的存储卡，ESD器件请选择结电容小于10pF的，如图10-1。

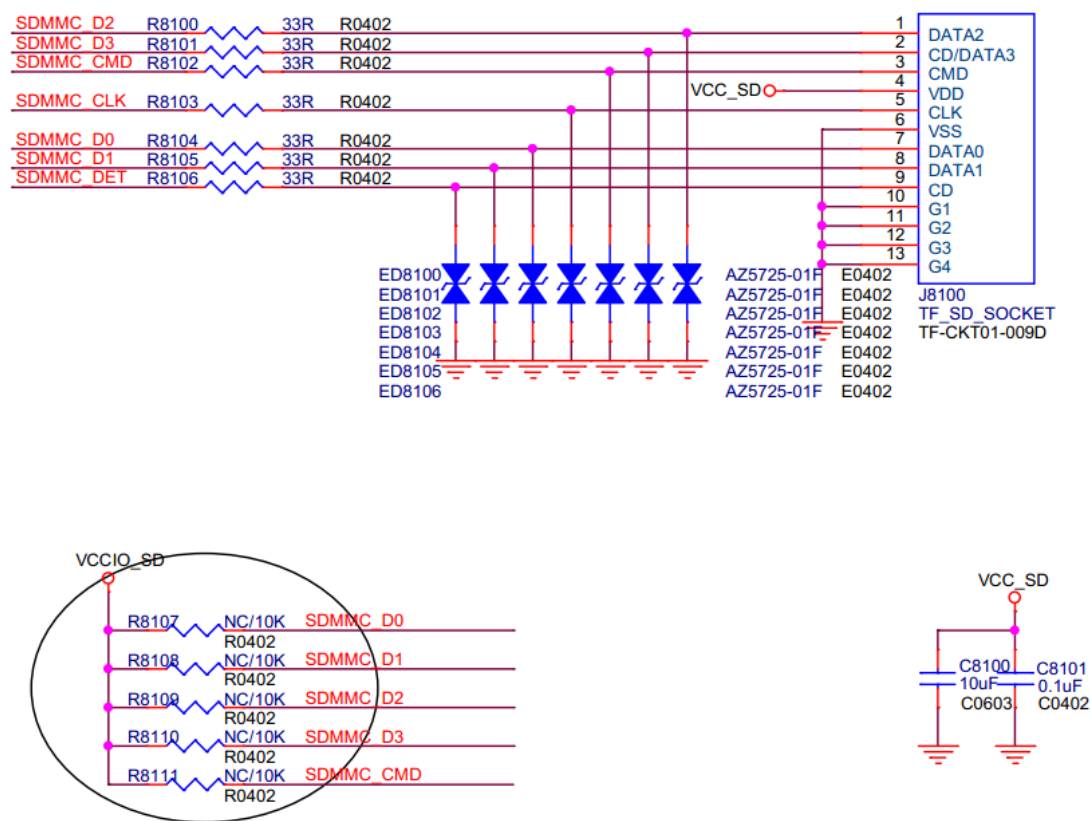


图10-1

10.2 PCB Layout

卡座VCC_SD电容C8100、C8101布局时靠近卡座引脚放置。

走线尽量与高频信号隔开，尽量整组包地处理。如果有空间的话，CLK建议单独包地。

T卡走线要求信号组内任意两根信号的长度误差控制在400mil以内，否则会导致SDIO 3.0高速模式下频率跑不高。

Rockchip Confidential

11 USB & HSIC

11.1 Schematic

RK3288共有三组USB接口，其中一个为USB OTG，两个为USB HOST，如图11-1。

- USB OTG接口可以通过检测USB_VBUS、USB_ID信号，配置为Host或者Device功能，支持USB2.0/1.1规范。
- USB HOST接口可以作为HOST接口外接设备，其中HOST1只支持USB 2.0规范，而HOST2可支持USB 2.0/1.1规范。BOX方案应用，优先考虑使用HOST2接口。

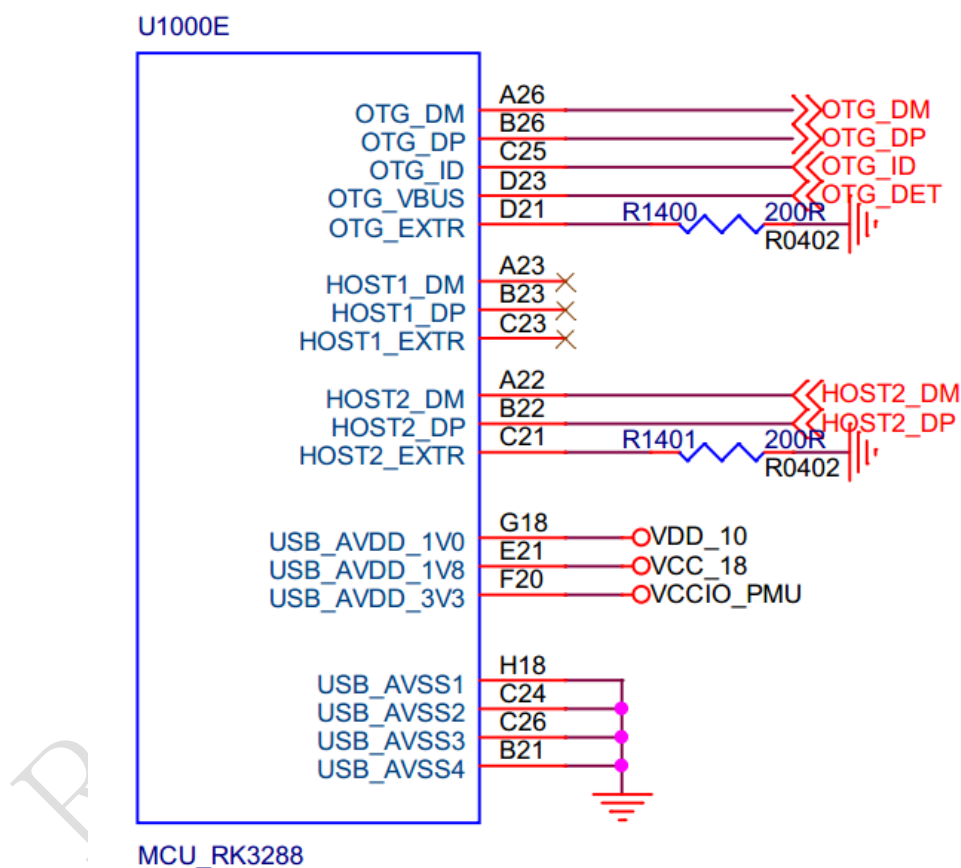


图 11-1

USB 控制器参考电阻 R1400、R1401 请选用 1%精度的电阻，该电阻关系到 USB 眼图好坏。

USB 具有高达 480Mbps 的传输速率，所以差分信号对于线路上的寄生电容非常敏感，所以要选
择低结电容的 ESD 保护器件，结电容要小于 1pF。

为抑制电磁辐射，可以考虑在信号线上预留共模电感（Common mode choke），在调试过程中根据实际情况选择使用电阻或者共模电感，如图 11-2。

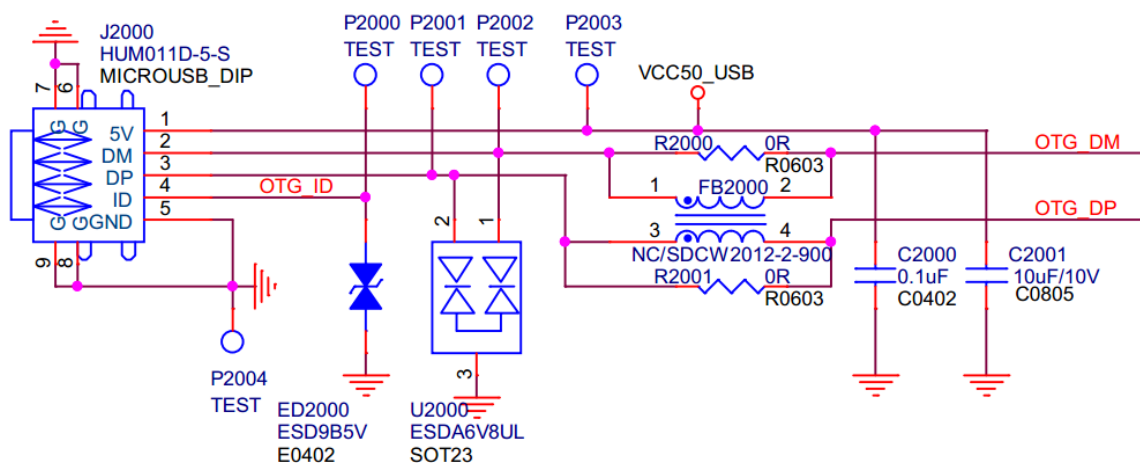


图 11-2

9.2 PCB Layout

USB PCB Layout注意点如下：

- USB接口应尽量靠近芯片放置，缩短走线距离；
- USB的信号走线必须严格遵循差分规则要求走线。走线拐角尽量用弧线或者钝角，不能为直角或锐角，阻抗要求 $Z=90\pm 10\text{ohm}$ ，如图11-3；

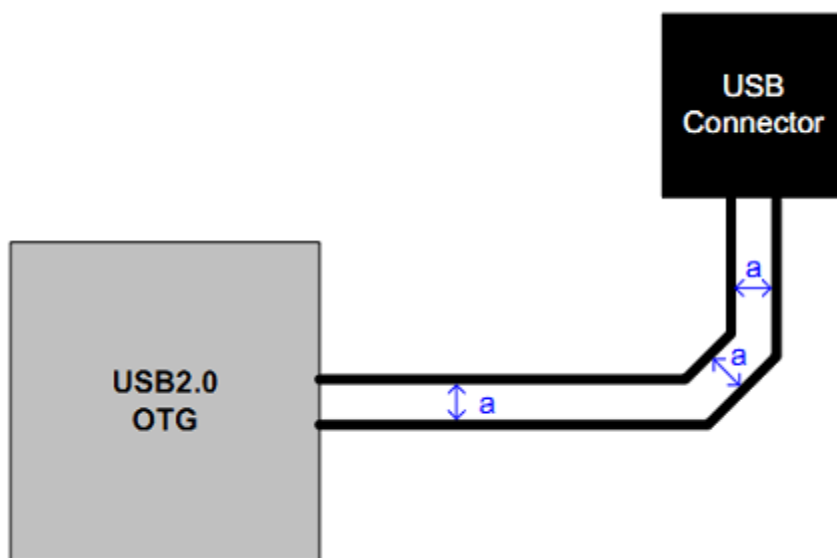


图11-3

- 为抑制电磁辐射，USB建议在內层走线，并保证走线参考面是一个连续完整的参考面，不被分割，否则会造成差分线阻抗的不连续性并增加外部噪声对差分线的影响，如图11-4；

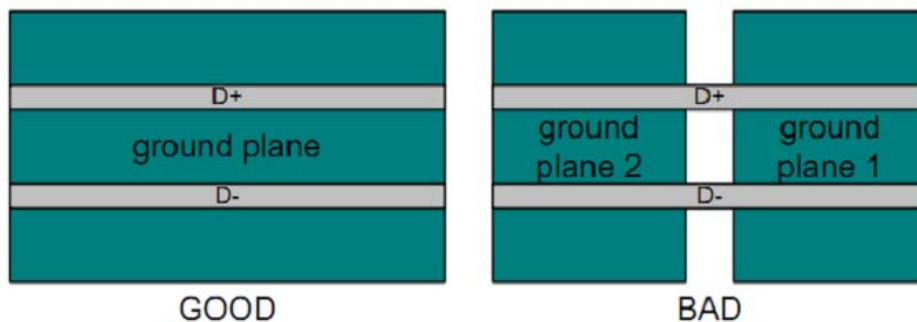


图11-4

- 走线中应该尽可能的减少换层过孔，过孔会造成线路阻抗的不连续；
- USB 2.0规范定义的电流为500mA，但是VBUS走线最好能承受1A的电流，以防过流。如果是在使用USB充电的情况下，VBUS走线需能承受2.5A的电流；
- ESD保护器件、共模电感和大电容在布局时应尽可能的靠近USB接口，如图11-5、图11-6所示；

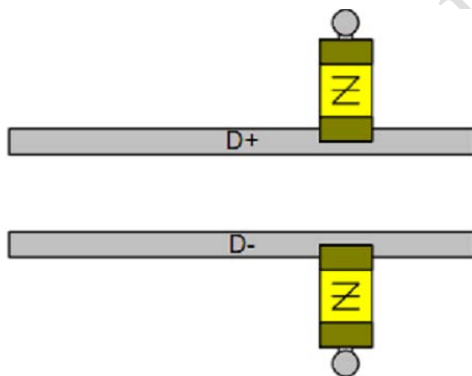


图11-5

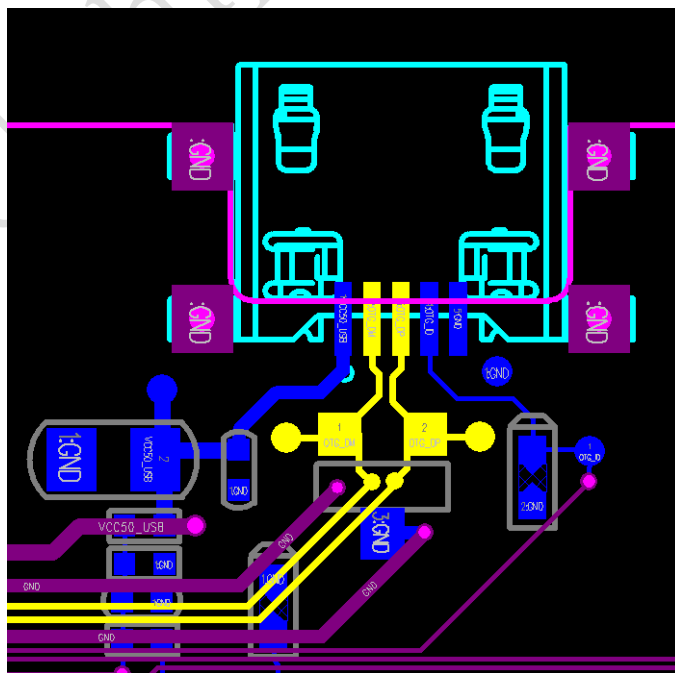


图 11-6

12 SarADC & Key

12.1 Schematic

RK3288采用SARADC的ADC_IN1做为键值输入采样口，并复用为RECOVER模式（不需要更新LOADER），如图12-1。在系统有固件的前提下，开机时按下SW1500，将ADC_IN1保持为0V电平（最高不超过100mV），则RK3288进入Rockusb烧写模式。当PC识别到USB设备时，松开按键使ADC_IN1恢复为高电平（1.8V），即可进行固件烧写。

RK3288上, SARADC采样范围为0~1.8V, 采样精度为10bit。按键阵列可以通过增减按键并调整分压电阻比例来调整输入键值, 实现多键输入以满足客户产品需求, 设计中建议任意两个按键键值电压差必须大于250mV。

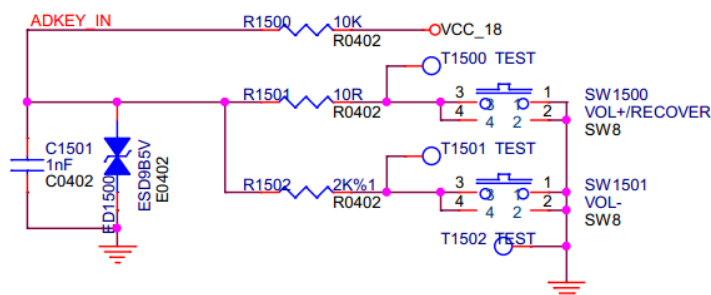
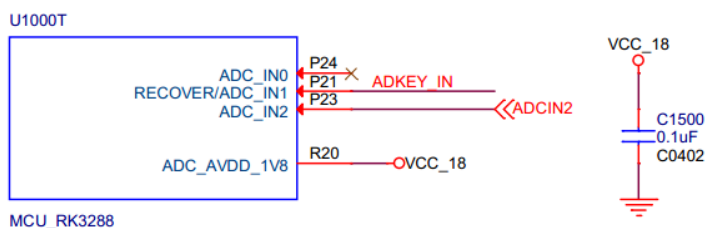


图12-1

小贴士:

- **Recover** 模式进入方法不能自行更改;
- 设计中如果不需要按键, 必须保留 **ADC_IN1** 的上拉电阻 **R1500**;

12.2 PCB Layout

Key PCB Layout注意点如下：

- ESD保护器件请就近靠近按键放置，以起到静电保护作用，如图12-2；
- 按键消抖电容C1501请靠近芯片放置；
- ADKEY_IN走线与其他信号线用地线隔离，避免信号线间串扰引起键值误判。

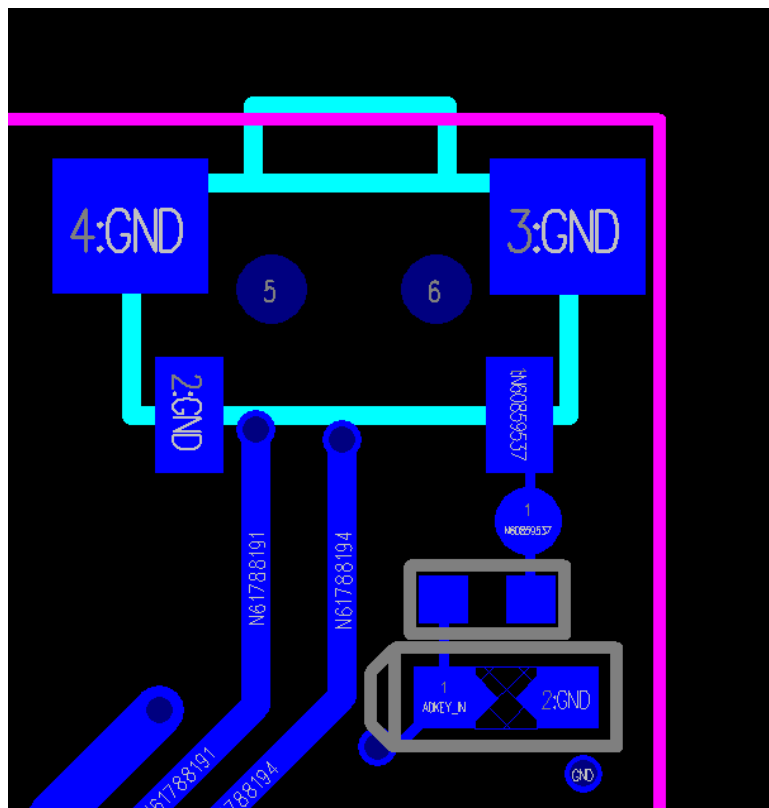


图12-2

13 DVP Interface & Camera

13.1 Schematic

DVP接口电源域为DVPIO_VDD供电，实际产品设计中，需要根据产品Camera的实际IO供电要求（1.8V or 2.8V），选择对应的供电，同时I2C上拉电平必须与其保持一致，否则会造成Camera工作异常或无法工作，如图13-1。

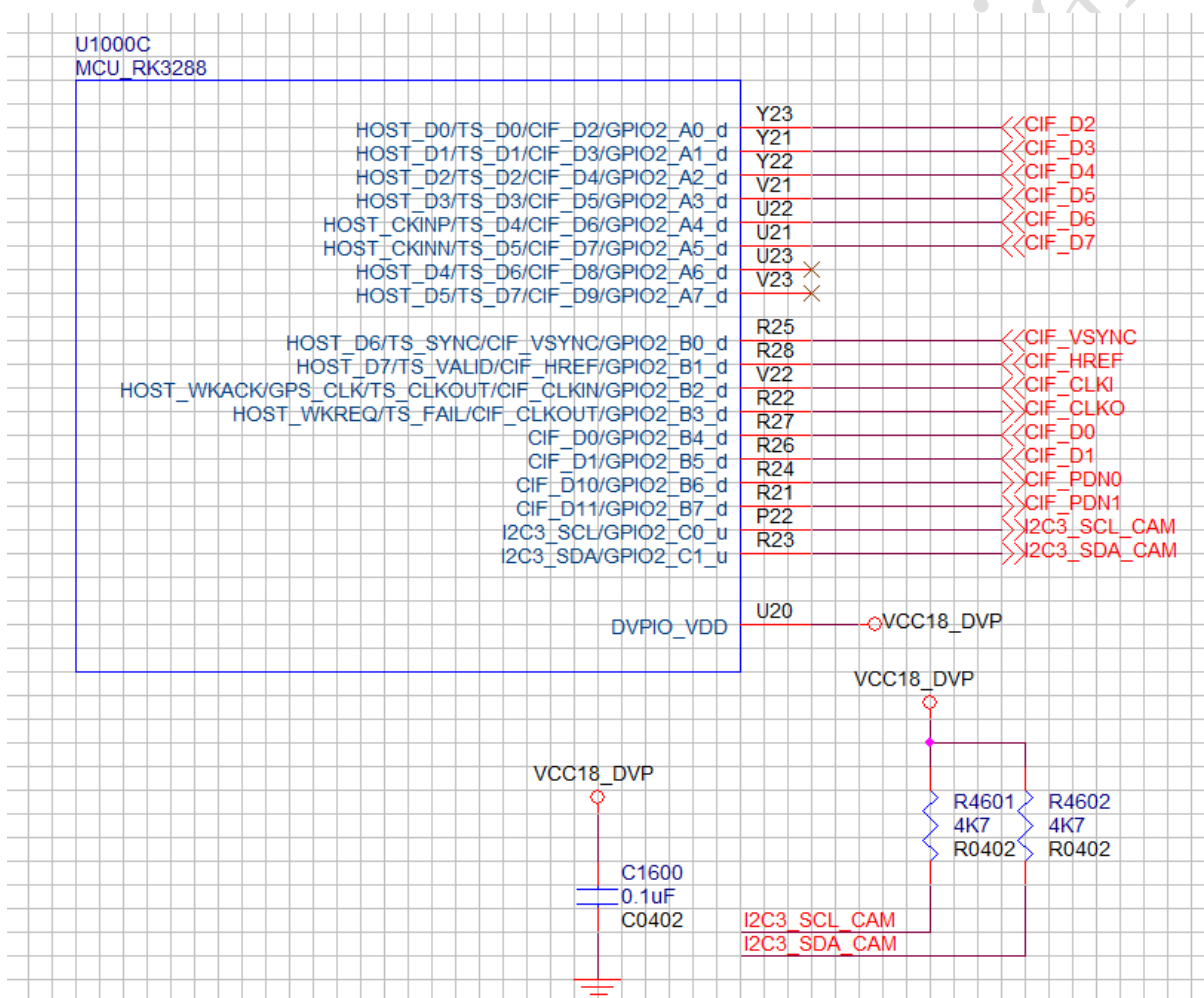


图13-1

为了避免在实际产品中因CAMERA走线过长，而造成的时序问题，引起数据采集异常，需要增加如图13-2所示的RC延迟电路。注意时钟信号的流向，对应的器件靠近信号输出端放置。

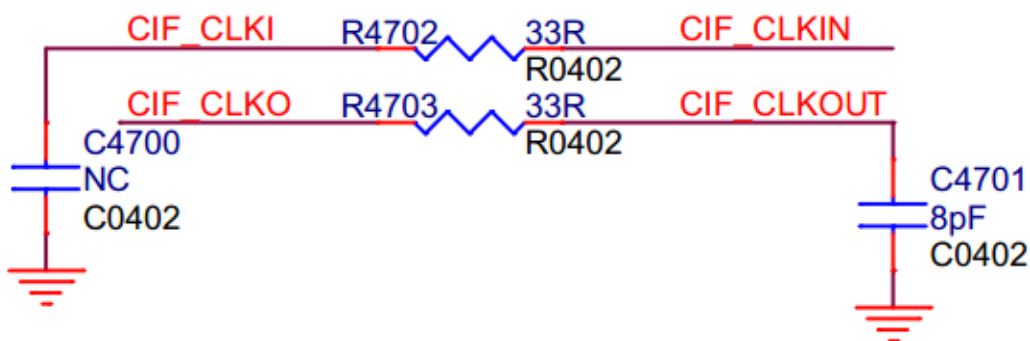


图 13-2

RK3288使用DVP SOC Camera Sensor时请注意：

- 建议该类Sensor输出的YUV数据bit0-bit7与RK3288 DVP接口的bit0-bit7对应连接；
- 不要求前后摄像头同时工作的情况下，建议采用RAW Sensor输出模式效果更好；
- 要求前后摄像头同时工作的情况下，由于RK3288只有一个ISP处理器的原因，两个DVP SOC Sensor中只能有一个是RAW Sensor，且必须有一个是MIPI Sensor；

RK3288支持双MIPI Sensor输入，使用MIPI Camera Sensor上请注意：

- 优先使用MIPI_TX_RX (MIPI PHY1) 连接MIPI Camera模组，目前PHY可支持MIPI 1Lane、2Lane模式；
- 在使用Dual MIPI LCM的情况下，可以使用MIPI_RX (MIPI PHY0) 连接MIPI Camera模组，目前仅支持MIPI 1Lane模式；
- Sensor的MIPI Lane数 $\geq$ PHY支持的MIPI Lane数，满足这一条件都可以连接到对应的MIPI PHY，但实际使用到的Lane数量还是以PHY实际支持的Lane数量为准；

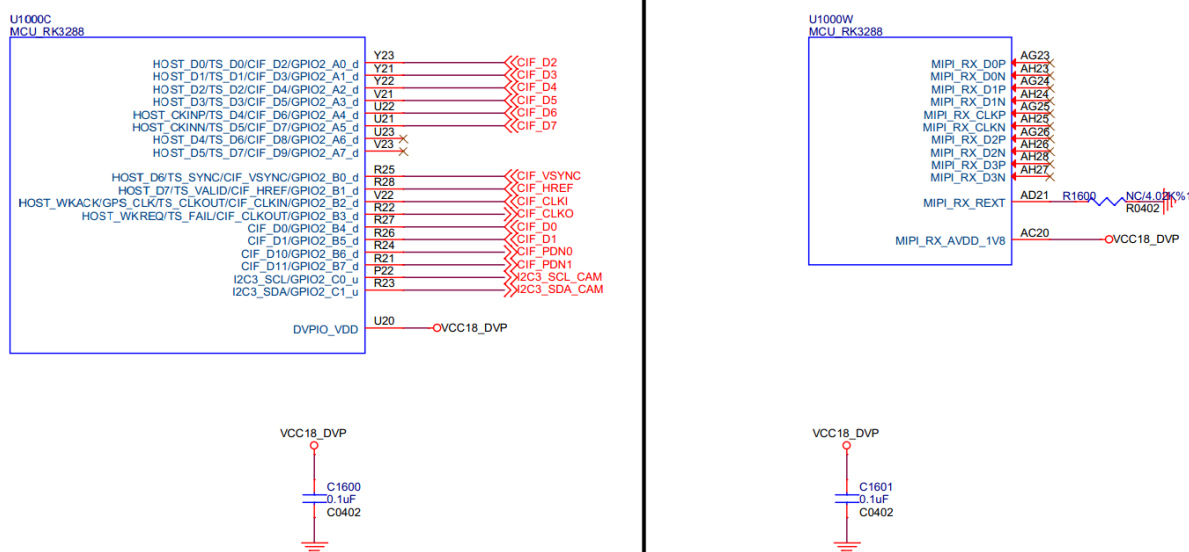


图13-3

小贴士:

- MIPI 1Lane 及 2Lane 直接影响到 Camera 的预览帧率以及拍照速度;
- MIPI Camera Sensor 在使用时, 建议事先查阅 RK 的认证列表: 《RK_Camera_Verification_List.xlsx》, 确认是否已调试通过;

13.2 PCB Layout

DVP PCB Layout 注意点如下:

- MIPI Sensor 连接座应尽量靠近芯片放置, 缩短走线距离;
- MIPI Sensor 信号走线需严格遵循差分规则要求走线, 线对内两根信号的长度误差控制在10mil 以内, 线对与线对之间的长度误差控制在30mil 以内。走线拐角尽量用弧线或者钝角, 不能为直角或锐角, 阻抗要求 $Z=100\text{ohm} \pm 10\text{ohm}$;
- 为抑制电磁辐射, MIPI Sensor 信号建议于PCB内层走线, 并保证走线参考面是一个连续完整的参考面, 不被分割, 否则会造成差分线阻抗的不连续性并增加外部噪声对差分线的影响。如在PCB表层走线, 请注意用地线做包地处理;
- MIPI Sensor 信号走线中应该尽可能的减少换层过孔, 过孔会造成线路阻抗的不连续;
- MIPI_MCLK、CIF_CLKI、CIF_CLK0等时钟走线, 建议单独包地处理, 并远离其他高速信号线;
- DVP Sensor 信号数据走线CIF_D0-D7, 建议整组做包地处理;

14 Display Interface

14.1 Schematic

- RK3288支持Parallel RGB、LVDS、MIPI、eDP、HDMI等多种视频输出模式，MIPI、LVDS、HDMI PHY的参考电阻，请选择1%精度电阻，eDP无需外接参考电阻，如图14-1~图14-5；

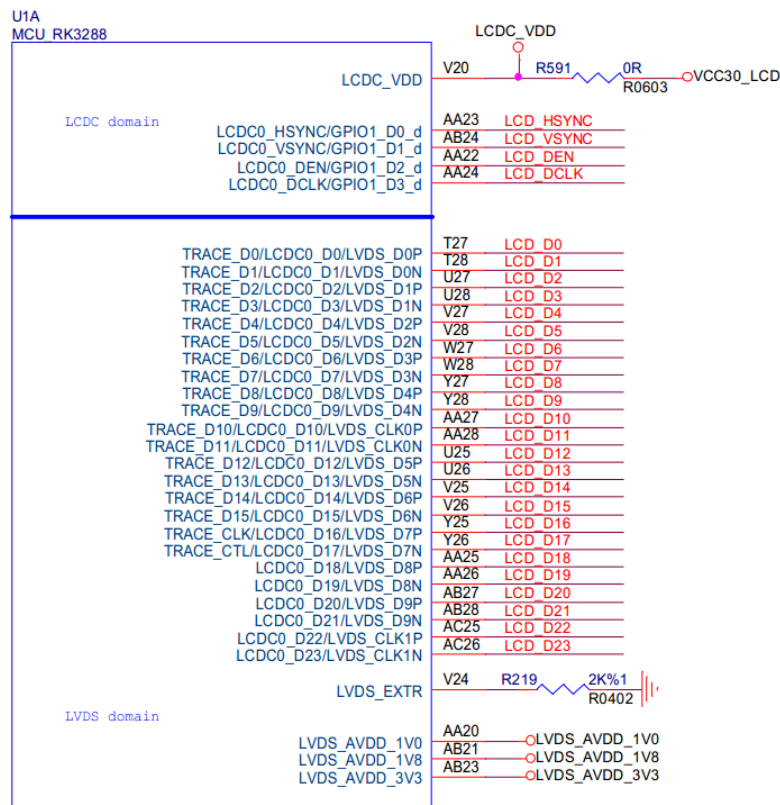


图14-1

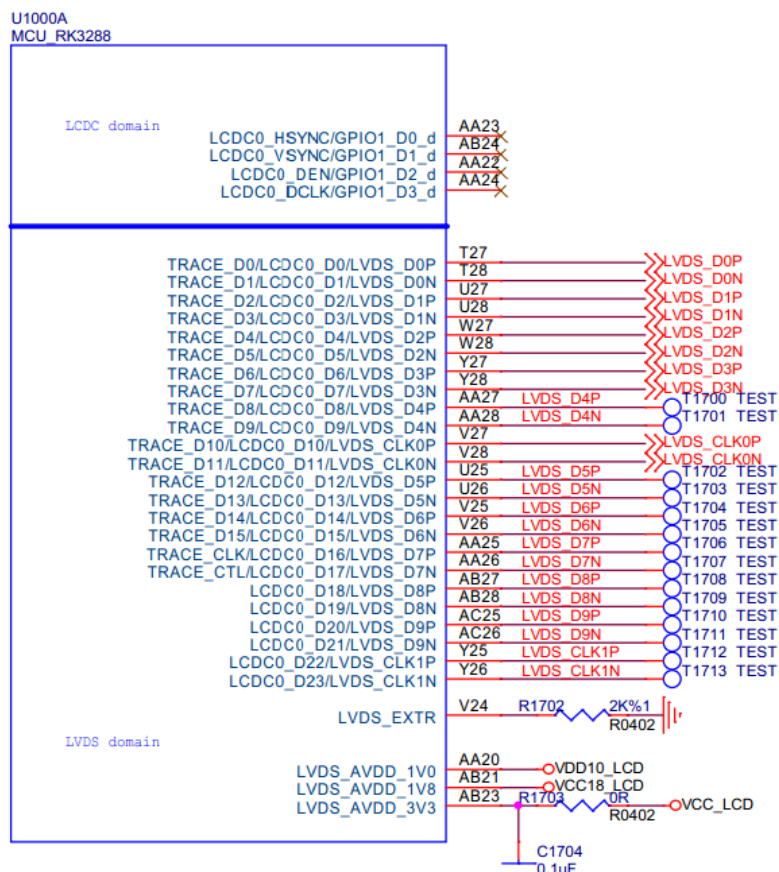


图14-2

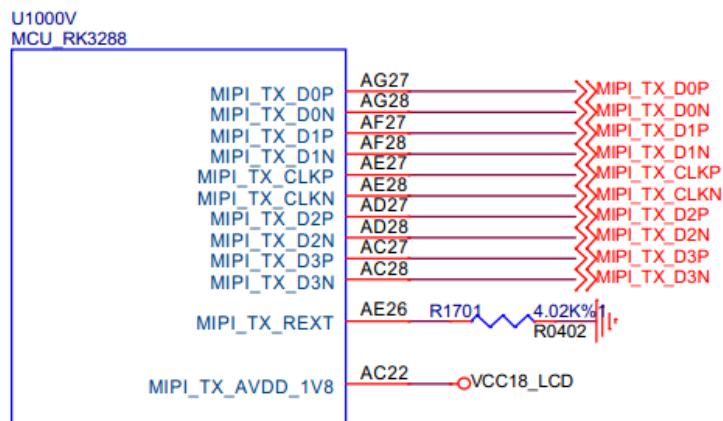


图14-3

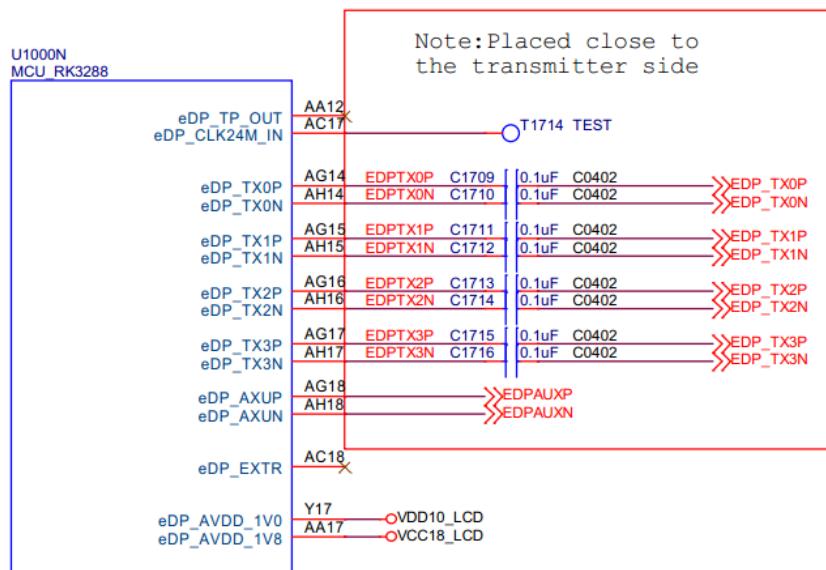


图14-4

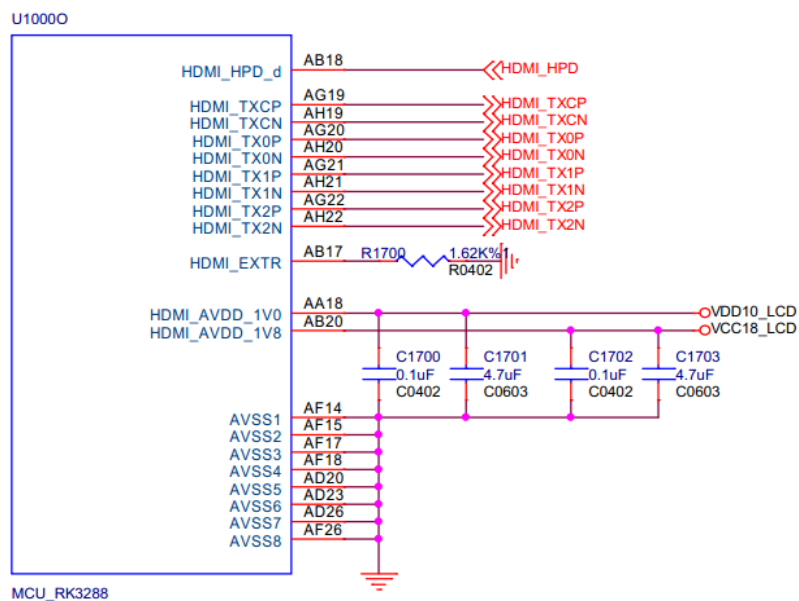


图14-5

- MIPI_TX_AVDD_1V8与MIPI_TX/RX_AVDD_1V8在芯片上是同一组电源，所以必须使用相同电源供电；
- 在使用LVDS及RGB功能时，LVDS_AVDD_1V0、LVDS_AVDD_1V8、LVDS_AVDD_3V3都需供电，不使用时无需供电，如图14-5；

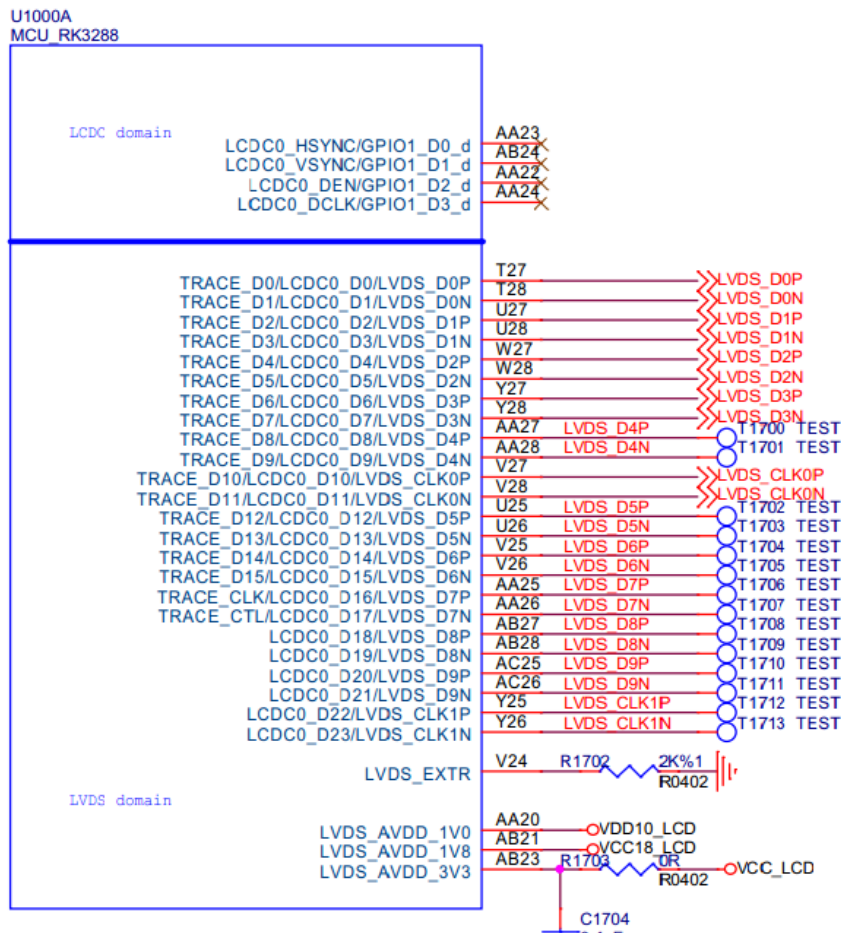


图14-5

- RK3288中，独立供电的显示模块将电源引脚都放置在各自的模块中，不用的时候电源引脚可以不供电以降低功耗，如图14-6、14-7；

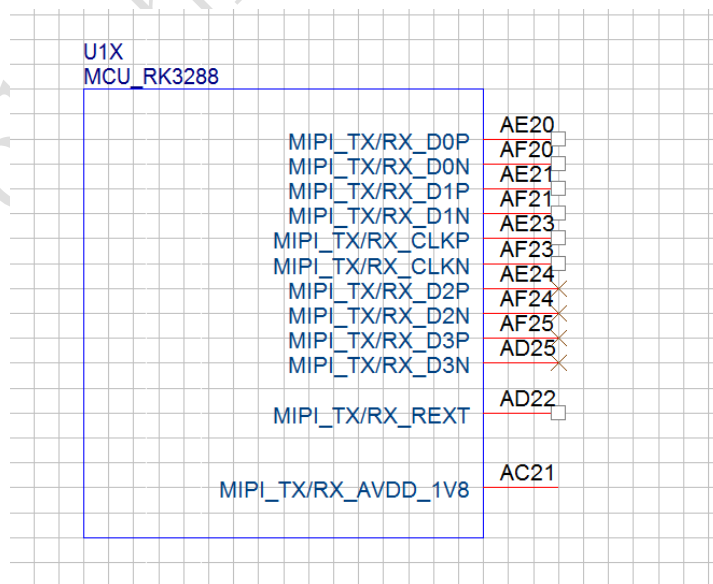


图14-6

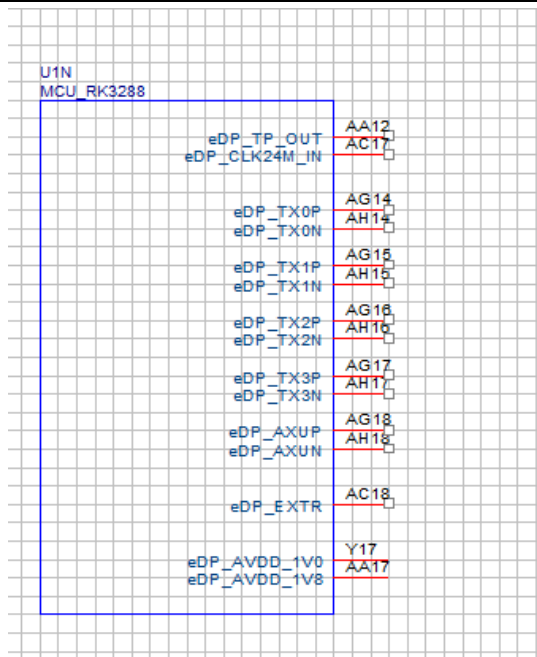


图14-7

- 设计时请确保LCDC_VDD供电正常，否则会出现显示异常的情况，如图14-8的pin V20;

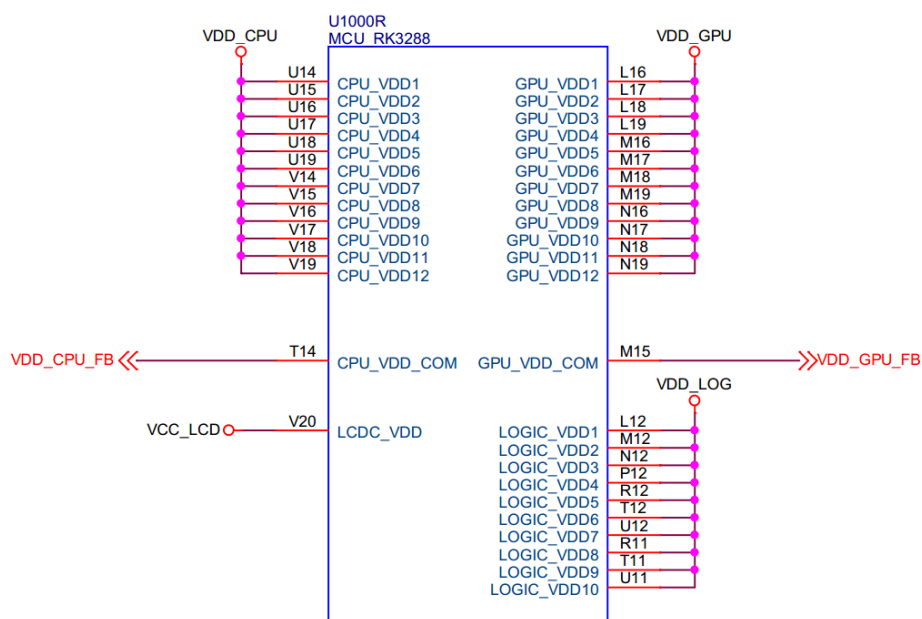


图14-8

- 如图14-9，HDMI的模拟电源去耦电容请靠近芯片引脚放置;

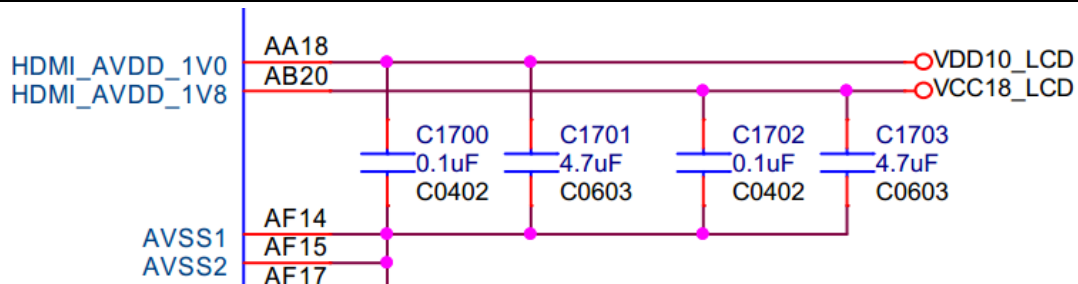


图14-9

14.2 PCB Layout

- 显示屏连接座应尽量靠近芯片放置，缩短走线距离；
- MIPI、eDP、HDMI的信号走线需严格遵循差分规则要求走线，线对内两根信号的长度误差控制在10mil以内，线对与线对之间的长度误差控制在30mil以内；走线拐角尽量用弧线或者钝角，不能为直角或锐角，阻抗要求 $Z=100\text{ohm} \pm 10\text{ohm}$ ；
- LVDS的信号走线需严格遵循差分规则要求走线，线对内两根信号的长度误差控制在30mil以内，线对与线对之间的长度误差控制在100mil以内；走线拐角尽量用弧线或者钝角，不能为直角或锐角，阻抗要求 $Z=100\text{ohm} \pm 10\text{ohm}$ ；
- 为抑制电磁辐射，eDP、MIPI、HDMI等高速差分信号建议于PCB内层走线，并保证走线参考面是一个连续完整的参考面，不被分割，否则会造成差分线阻抗的不连续性并增加外部噪声对差分线的影响。如在PCB表层走线，请注意用地线做包地处理；
- eDP、MIPI、HDMI等高速信号走线中应该尽可能的减少换层过孔，过孔会造成线路阻抗的不连续；
- MIPI显示屏如果用排线扩展连接的话，排线不宜过长；
- ESD器件需靠近HDMI插座放置，如图14-10；

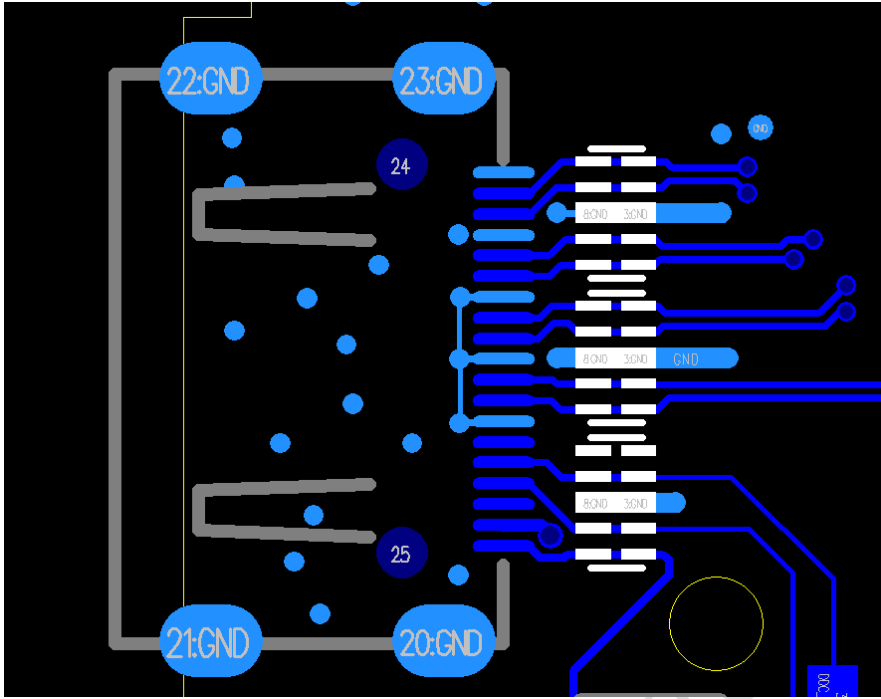


图14-10

- eDP数据通道输出耦合电容需靠近芯片端，如图14-11；

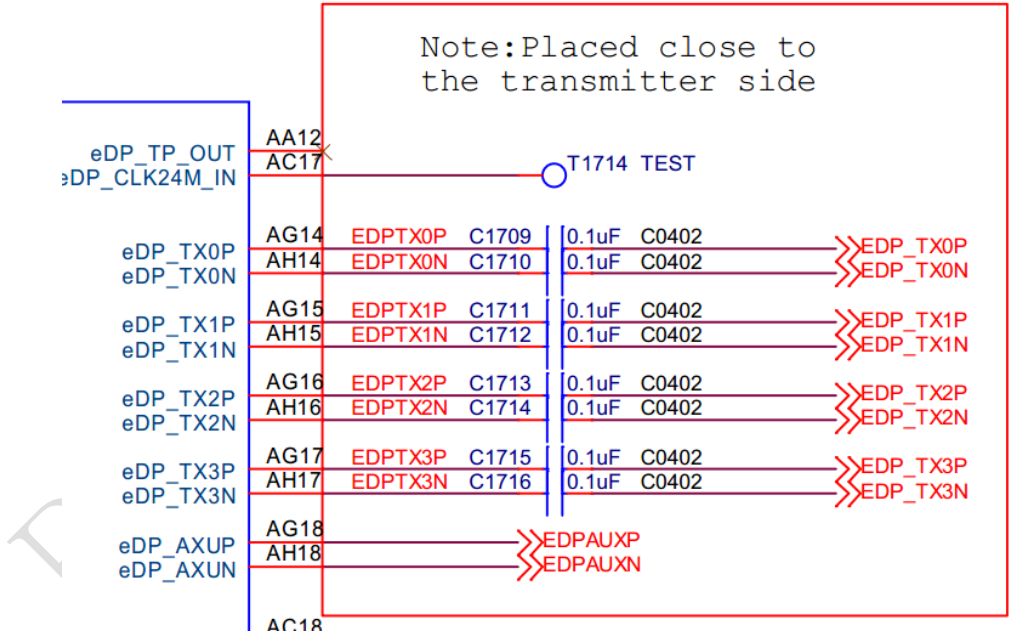


图14-11

15 LCM

15.1 Schematic

eDP屏功耗较大，请选用大电流的背光驱动IC，如图15-1。

9. 7寸大屏时使用双节电池供电方案，R5002贴片；7.85寸小屏时可使用单节电池供电，R5003贴片。

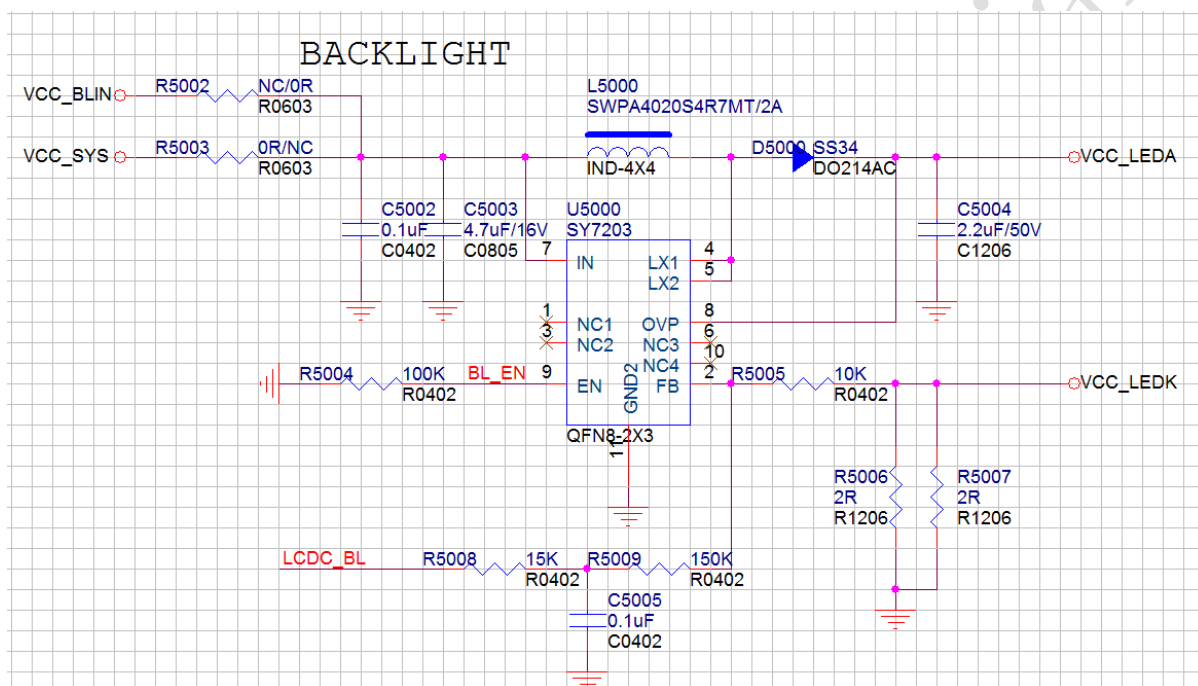


图15-1

eDP屏AUXN、AUXP辅助通道的上下拉电阻R5000、R5001及耦合电容C5000、C5001需靠近屏座放置，如图15-2。

eDP Panel

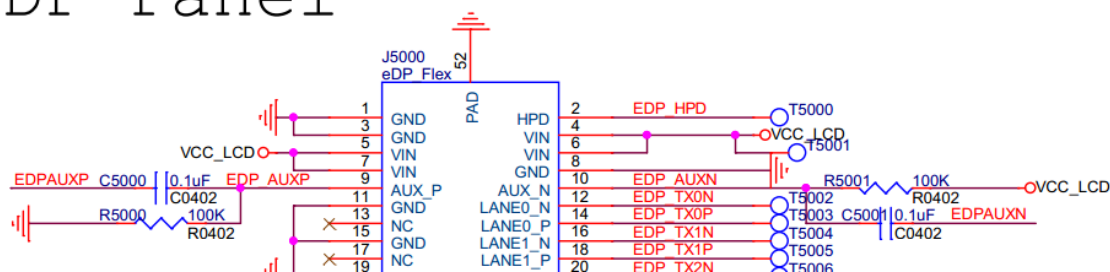


图15-2

双MIPI屏使用时请注意，MIPI_TX为左通道输出，MIPI_TX/RX为右通道输出，请勿接反。如图15-4、图15-4所示。如果MIPI屏可以通道互换使用，则不存在此问题，详细请参阅屏datasheet。

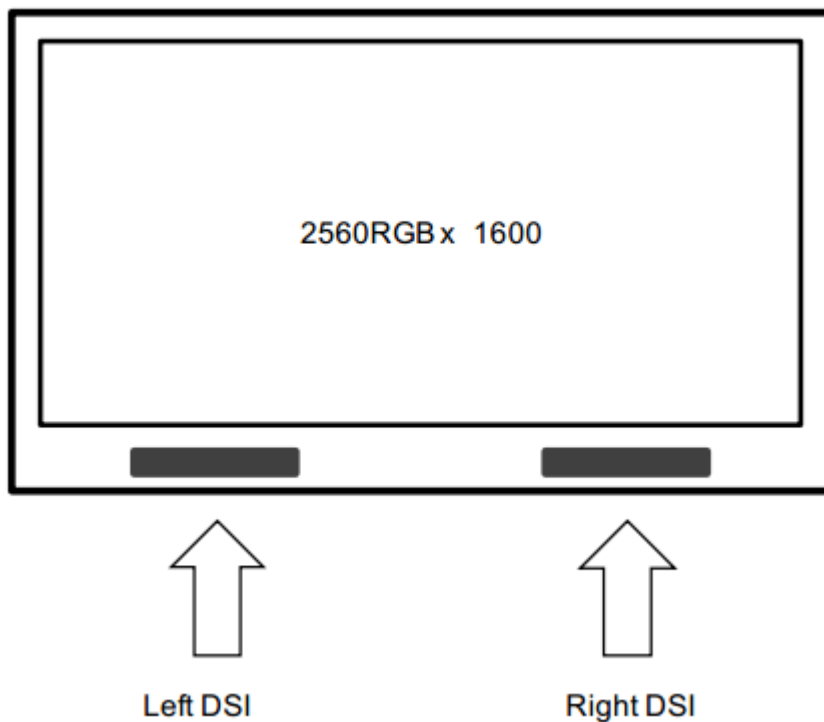


图15-3

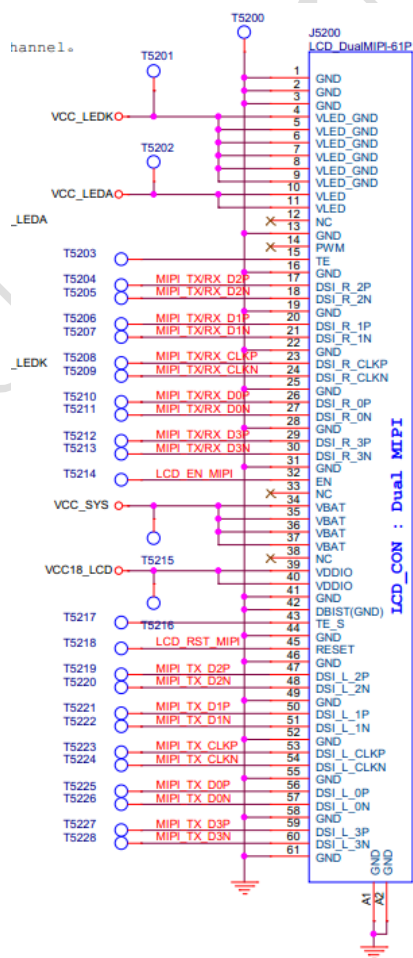


图15-4

MIPI、LVDS屏驱动电路预留CABC控制电路，如图15-5所示。不使用CABC功能时，电阻R5107、R5108、R5109、R5110及反相器U5101不贴片，使用图15-6所示的背光调压电路，由主控芯片PWM控制，PWM占空比越高，屏亮度越低；当使用CABC功能时，R5107、R5108贴片0R电阻，而反相器U5101及电阻R5109、R5110则根据屏幕规格（PWM占空比越高，屏幕亮度越亮或是越暗）选择是否贴片。

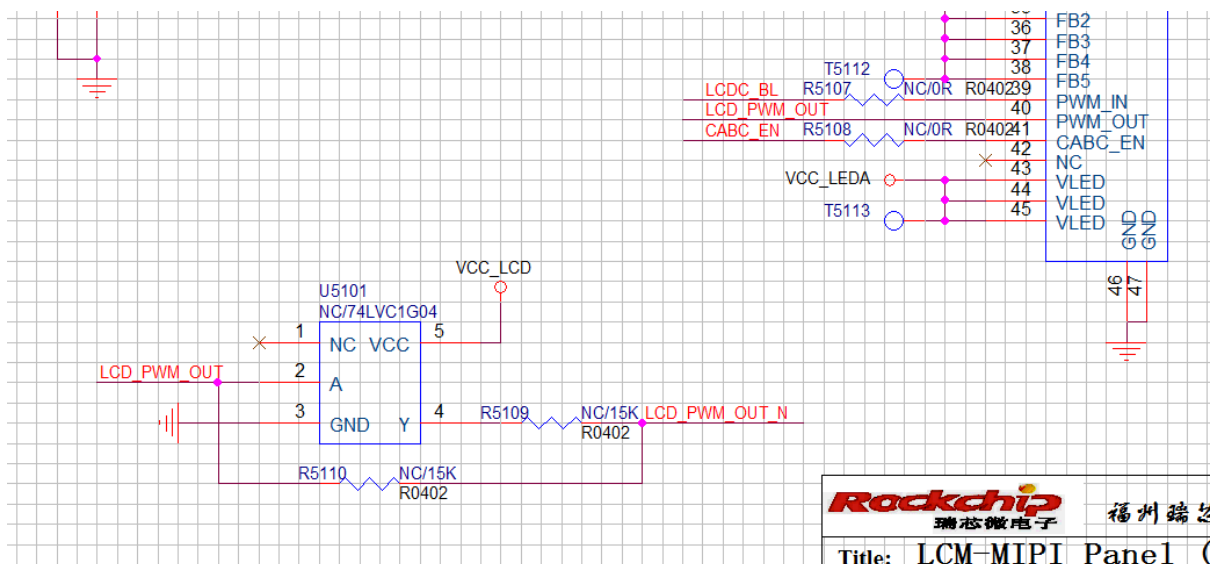


图15-5

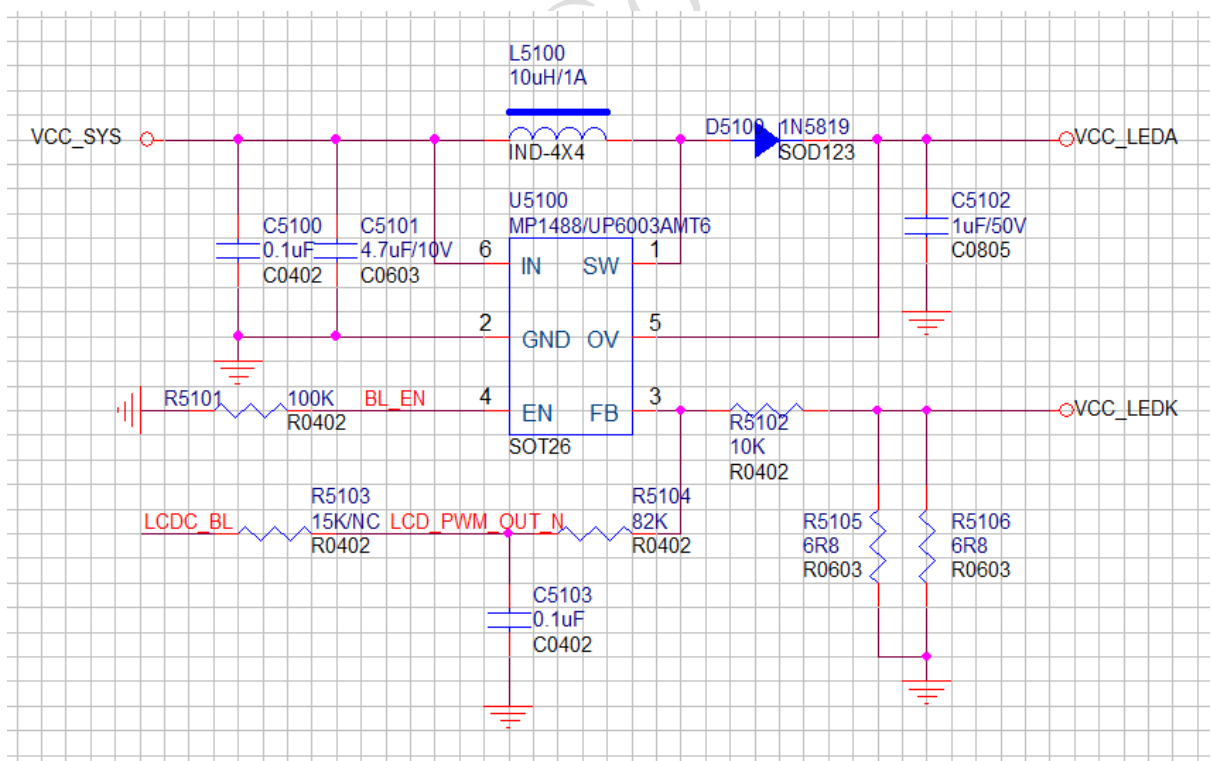


图15-6

LCM接口设计时，请注意与芯片保持I/O电平匹配，如图15-7所示的双MIPI屏VDDIO为1.8V供电，则LCD_EN及LCD_RST信号需要做分压处理。

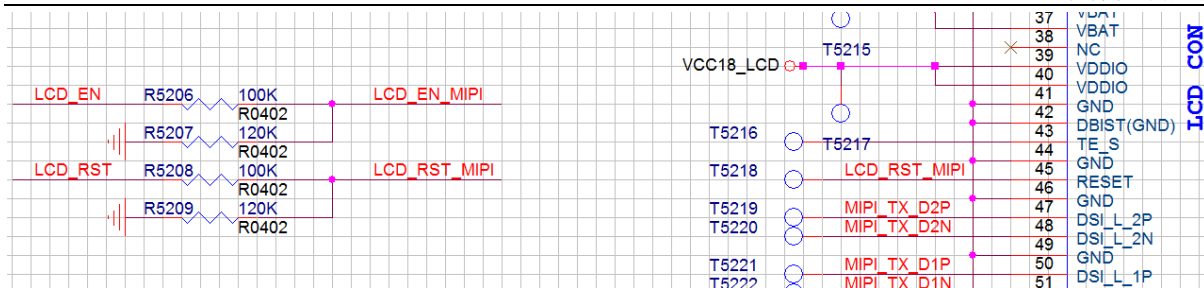


图15-7

15.2 PCB Layout

高速信号走线请参考第12节PCB Layout中的设计要求。

背光限流电阻R5006、R5007和电源电容C5004需靠近屏座放置，如图15-8、图15-9所示。

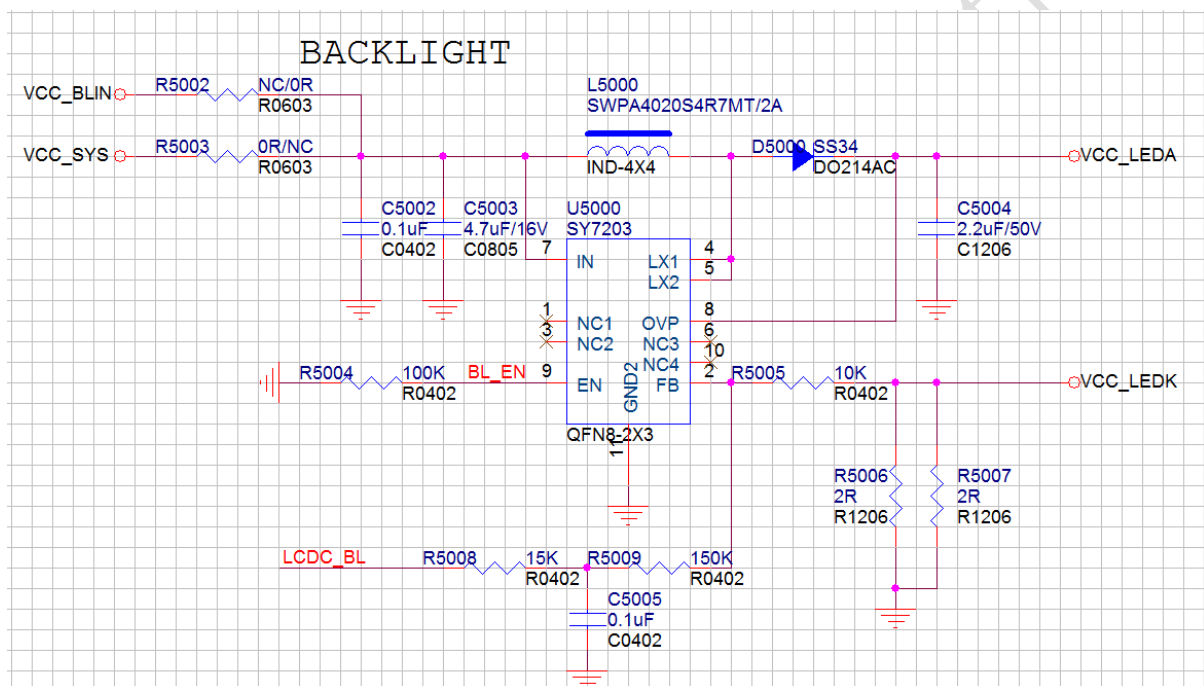


图15-8

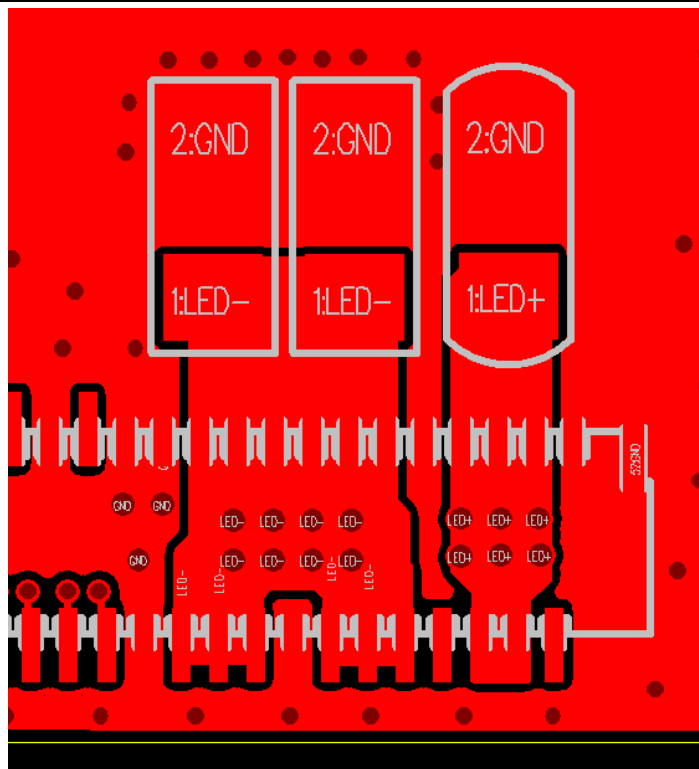


图15-9

16 Debug

16.1 Schematic

为了方便软件在线调试，RK3288专门预留一个用来作Debug的Uart接口（UART2）；在实际产品应用中，不建议使用该功能接口作其它功能使用，并按图16-1所示设计，预留调试接口，方便产品的调试。

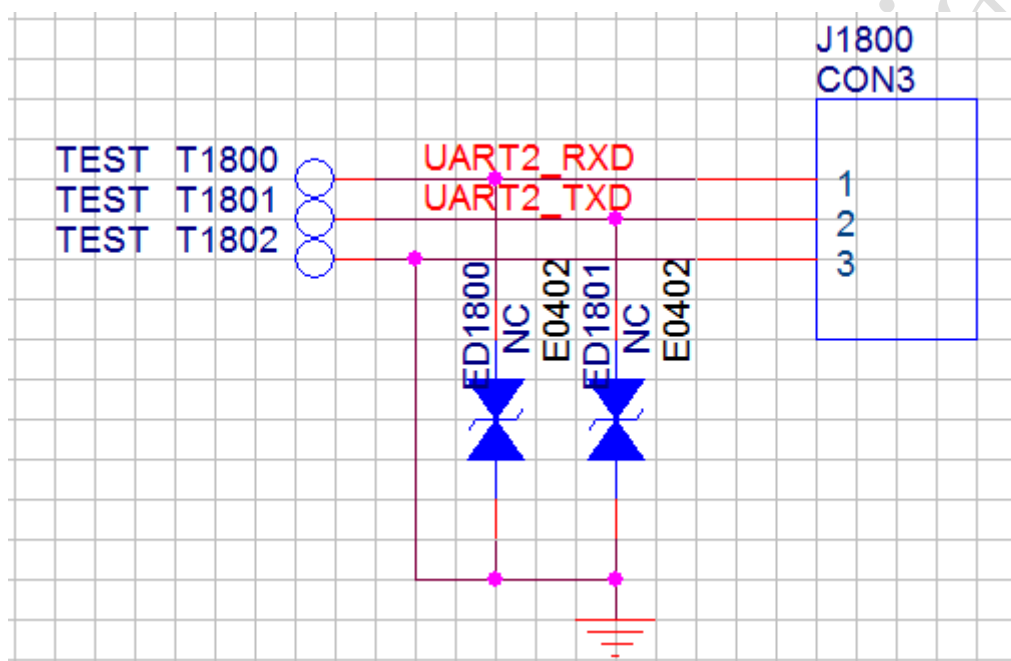


图16-1

如果使用RS232电平转换芯片，需要注意TXD、RXD方向。

16.2 PCB Layout

较常使用Debug功能的话（如开发板、SDK等），建议在接口增加ESD器件，对芯片提供保护；

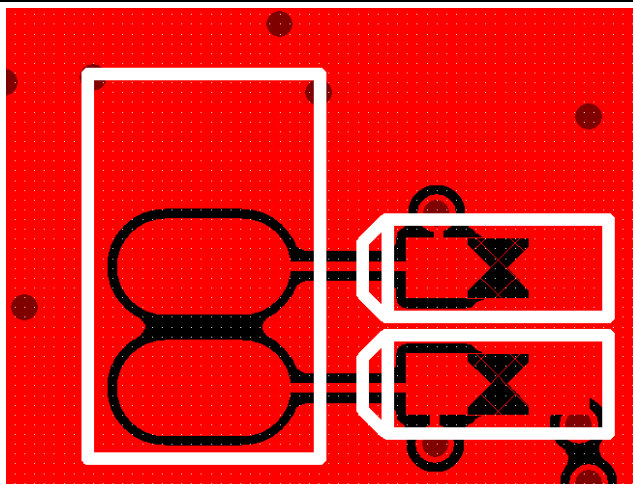


图16-2

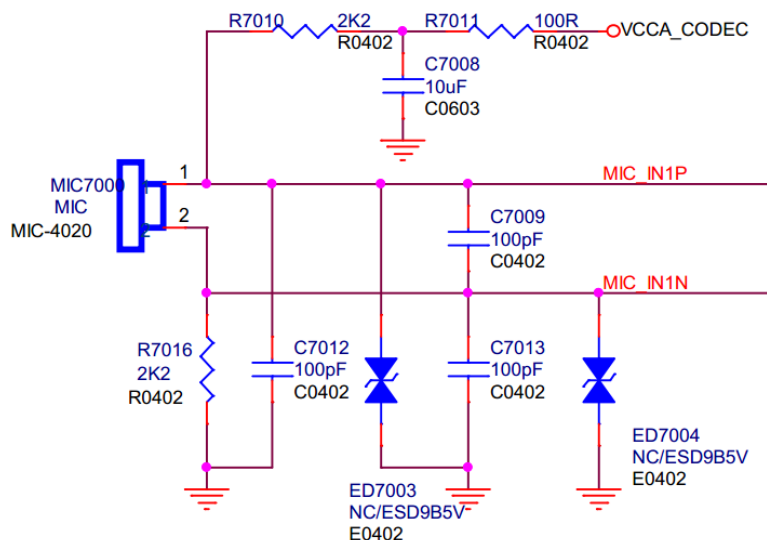


图17-3

Codec如果使用电容耦合输出方式，理想情况下100uF的电容可以保证频响测试曲线的平坦度，如降低成本选用较小的耦合电容，会造成低频频响的偏离，如图15-4中EC7000、EC7001；

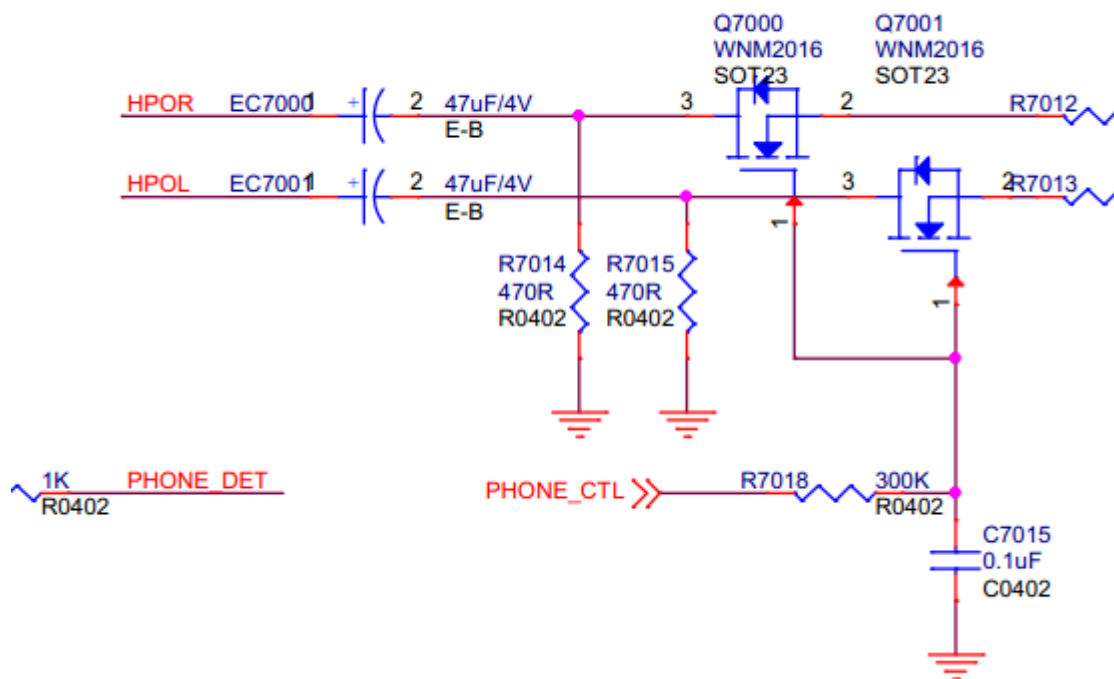


图17-4

17.2 PCB Layout

- Codec各路电源走线线宽要求大于15mils，VCC_SPK走线线宽要求大于30mils。
- Codec各输入、输出信号，包括HP out、LINE in、LINE out、MIC in、SPDIF、Speaker out等信号，为避免信号间串扰引起的输出失真及噪声，均需要做信号包地处理（包地处理应

包括同层包地与邻层包地), 并与其他数字信号隔离。

- HP out输出信号线宽建议大于15mils。
- LINE in/out输出信号线宽建议大于10mils。
- MIC输入信号较敏感, 为避免引入噪声, MIC的耦合电容要靠近Codec端放置, 如图17-5。

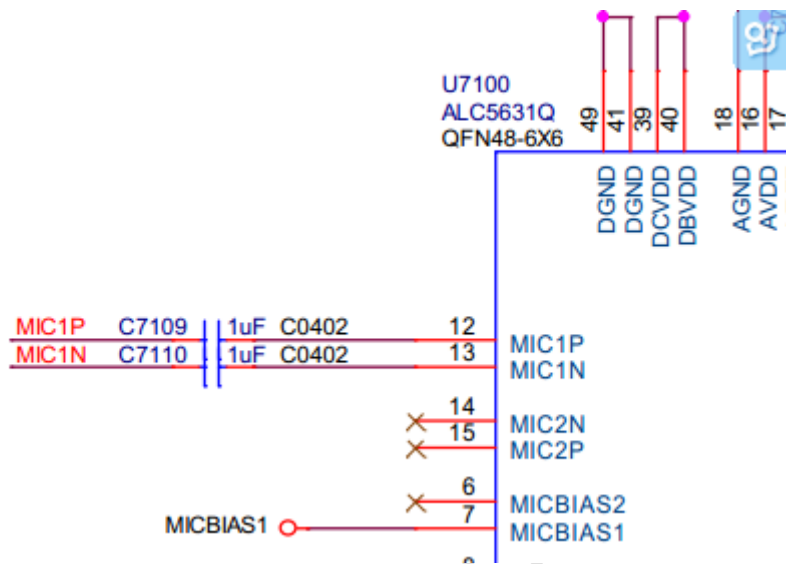


图17-5

- Codec布局时应靠近连接座放置, 走线尽可能的短。
- 为抑制功放电磁辐射, 需把功放到喇叭的走线长度缩短, 走线加粗, 尽量少走弯角。为避免噪声干扰, 建议差分走线, 线宽大于20mils, 线距小于10mils, 并在靠近喇叭输出端预留LC滤波电路。

18 Touch Panel

18.1 Schematic

Touch Panel I2C上拉电阻请选择TP电源VCC_TP，以免出现在休眠情况下，电源通过I2C总线向TP屏漏电而增加额外的功耗。

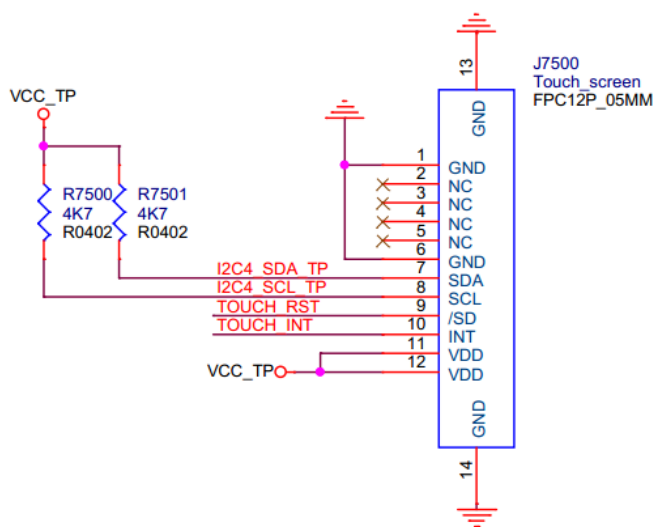


图18-1

TP IC的Charge Pump电容需注意耐压，如图18-2，并靠近芯片引脚放置。

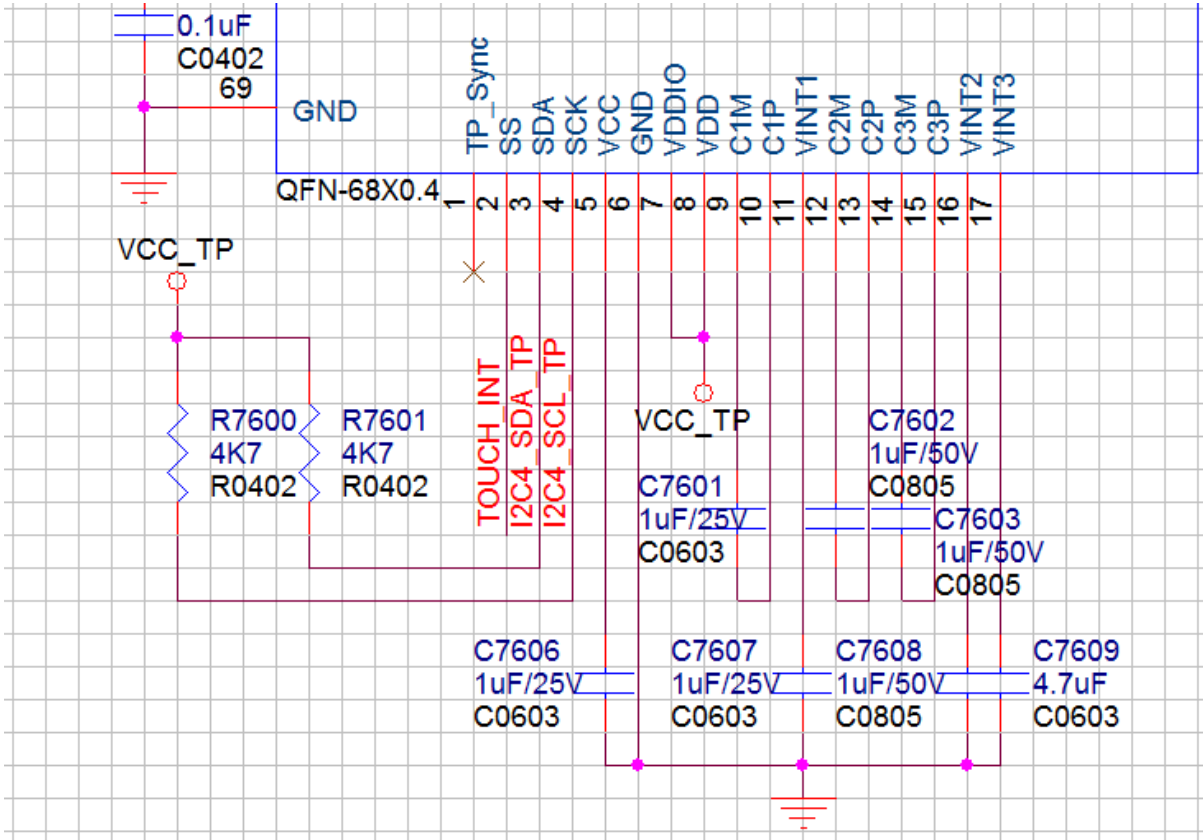


图18-2

18.2 PCB Layout

大屏ESD容易打坏主控接口数据线，Sensor信号线要注意保护；

TP onboard设计，Sensor与Driver信号间需要用地隔离；

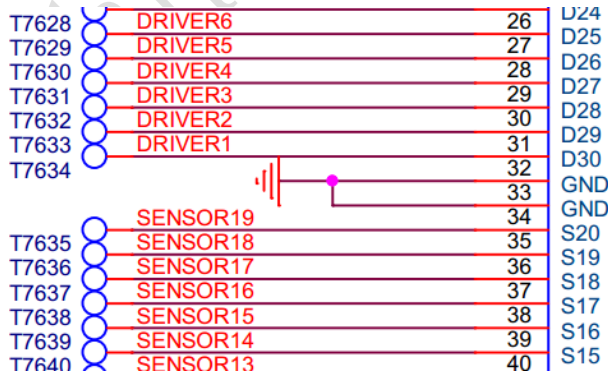


图18-2

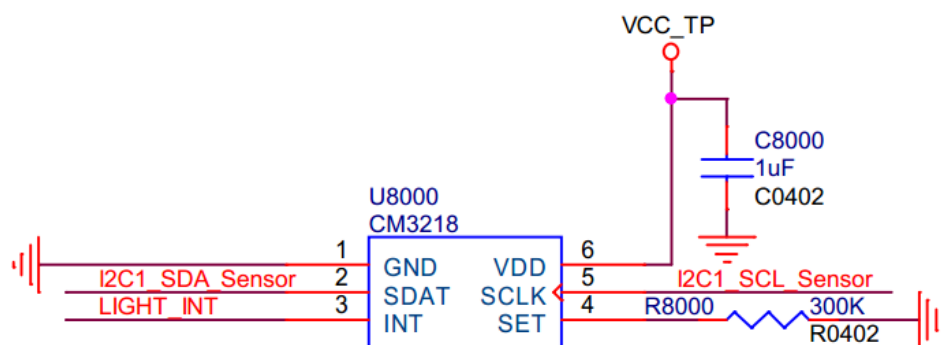


图19-2

马达为感性器件，必须加二极管，注意二极管的方向。

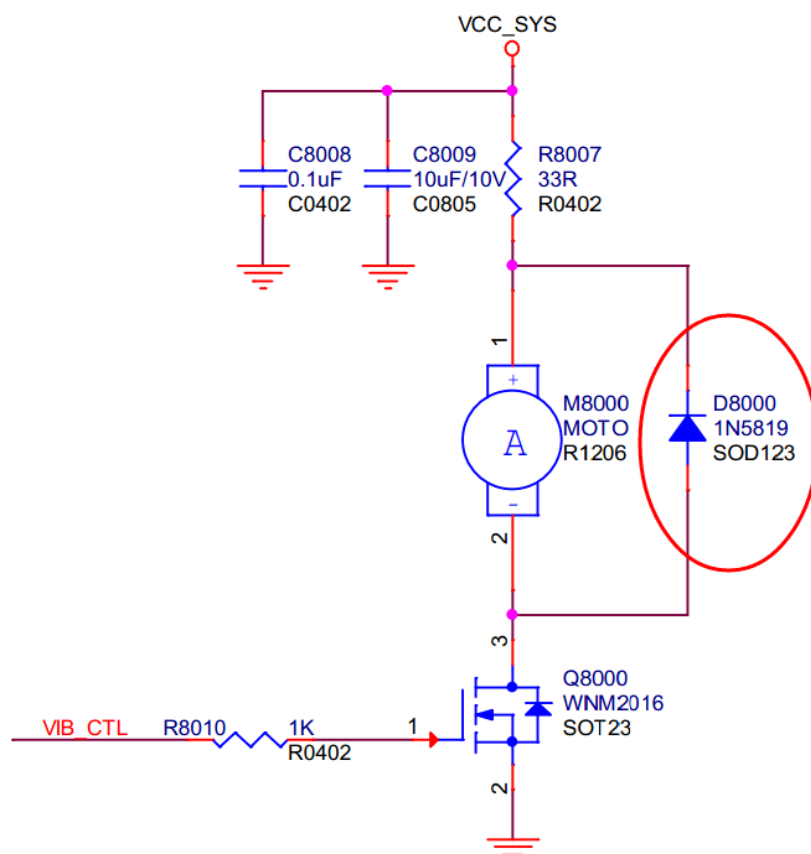


图19-3

重力加速度传感器设计上做了三兼容设计，可根据实际需要贴片，达到不同设计兼容的要求。

I303D with 3D Gsensor and E-compass

	LIS3DH	MMA8452Q	LSM303D
C8004	NC	NC	4.7uF
R8003	0ohm	NC	NC
R8001	NC	0ohm	NC
C8001	NC	0.1uF	0.22uF
R8002	NC	NC	0R
R8004	NC	NC	0R

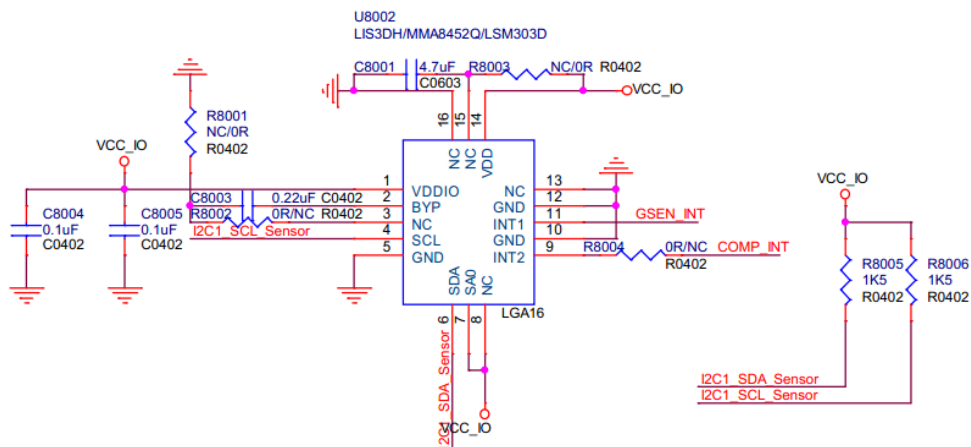


图19-4

19.2 PCB Layout

- 光传感器在PCB布局时，必须考虑用户的使用习惯，建议放置在前置摄像头附近最佳，边上尽量不要放置其他发光体，如图19-5。

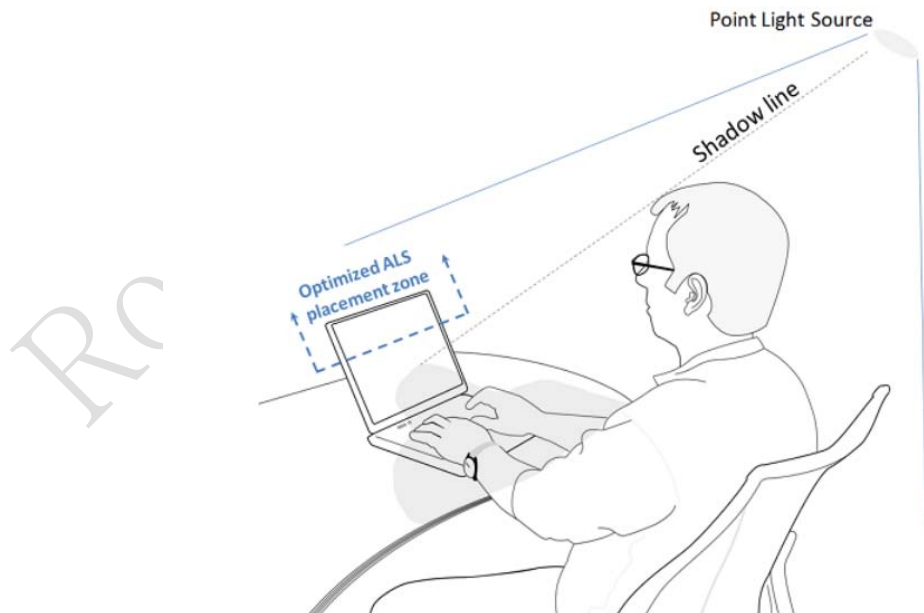


图19-5

- 光传感器表面接收到的光照值大小由TP丝印孔尺寸大小及油墨透光率决定，入射角度需大于±30度，如图19-3，具体计算公式及参考数值请参考《Capella_ALS结构设计指南》。

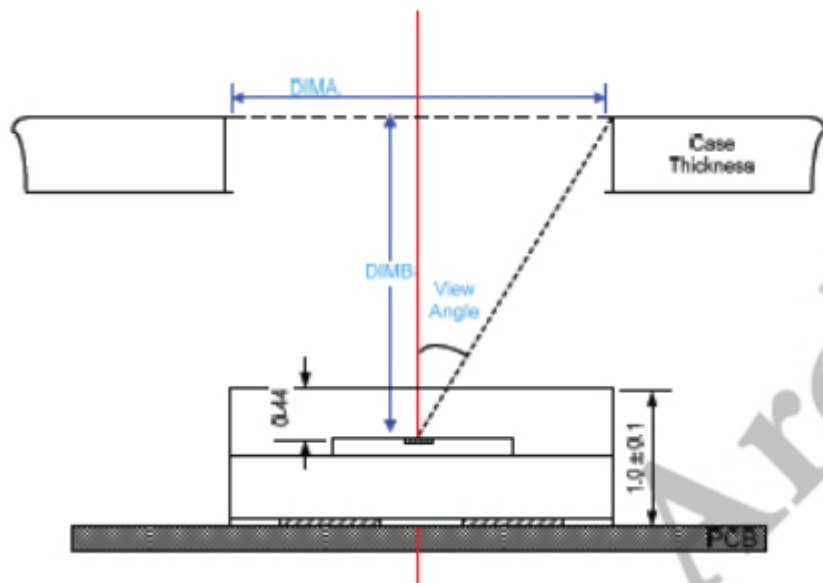


图19-3

- 地磁传感器和霍尔传感器布局时需远离强磁场、易磁化器件、大电流器件等，如听筒、喇叭、马达、摄像头、大电感等，同时不能放在屏蔽罩内。
- 重力加速度传感器摆放时需注意方向，第一脚建议放置在产品正视图的左上角位置，与SDK保持一致，方便软件调试。

20 eFUSE

20.1 Schematic

如果客户需要对RK3288芯片内置eFUSE进行烧写，需增加eFUSE供电电路，如图20-1所示。如无该需求，可删除此部分电路。

建议客户在PCBA上预留测试点，通过治具预留供电电路完成eFUSE烧写，降低成本。

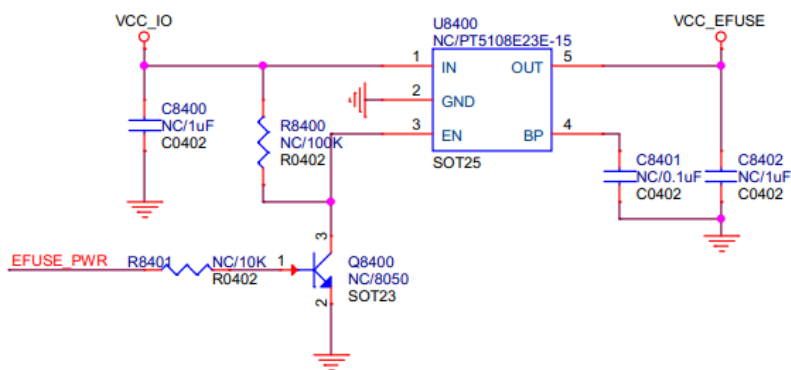


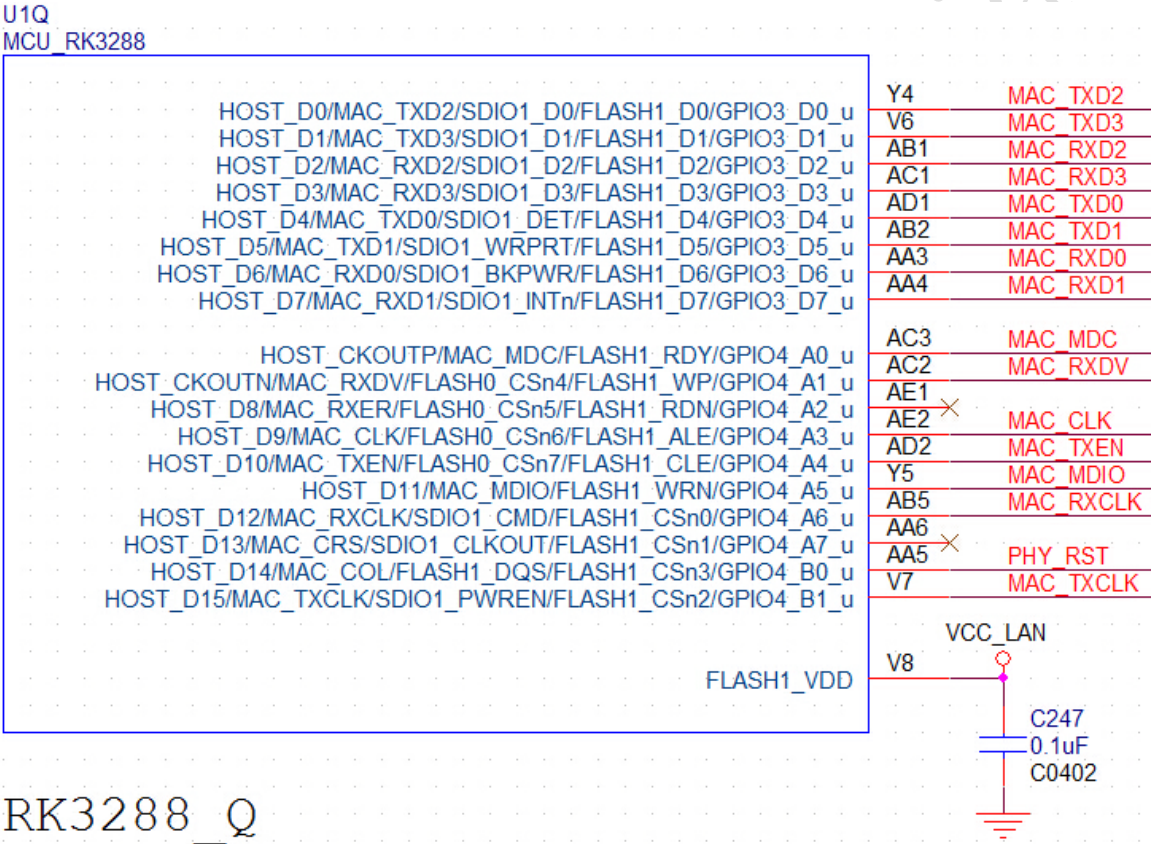
图20-1

21 MAC

21.1 Schematic

RK3288芯片上以太网与FLASH1功能复用在一起，所以如果要使用以太网功能，那么FLASH1通道就不能使用。

RK3288的MAC支持RMII、RGMII两种接口，图21-1为千兆RGMII接口，图21-2为百兆RMII接口。



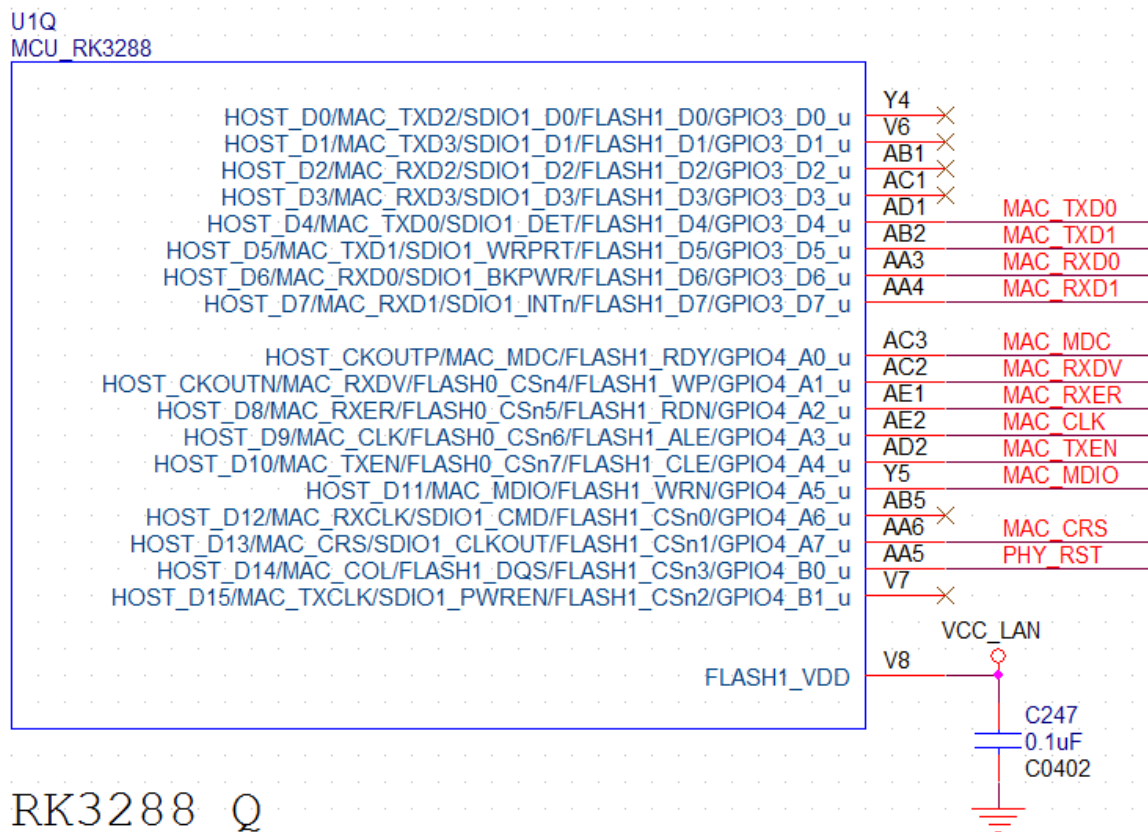


图21-2

图21-3所示的25MHz晶体的负载电容（C251、C252）容值需要根据实际采用晶体标称负载电容值，12pF为我司选用晶体所对应容值，不为通用值。

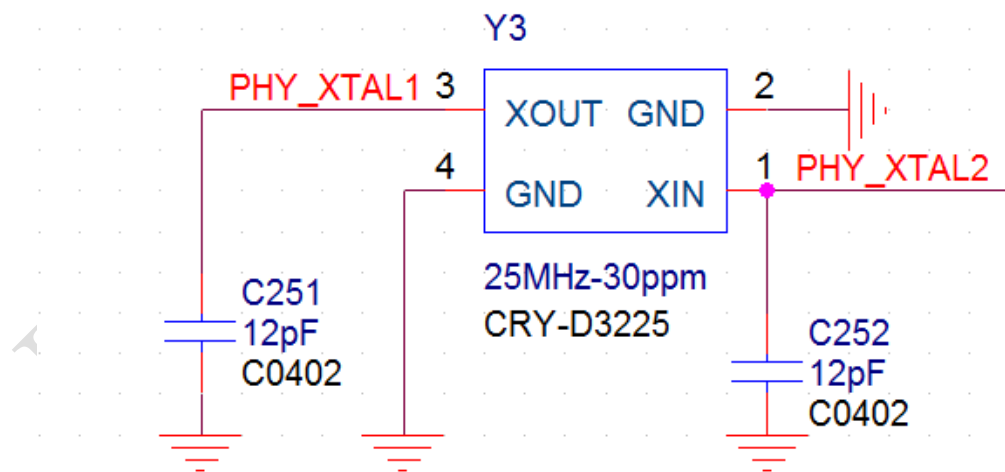


图21-3

图21-4中的L9电感需满足下面条件：IDC>=600Ma；Tolerance<=20%；DCR<=0.8ohms@1MHz；Measure Efficiency>=75%@GbE link speed；

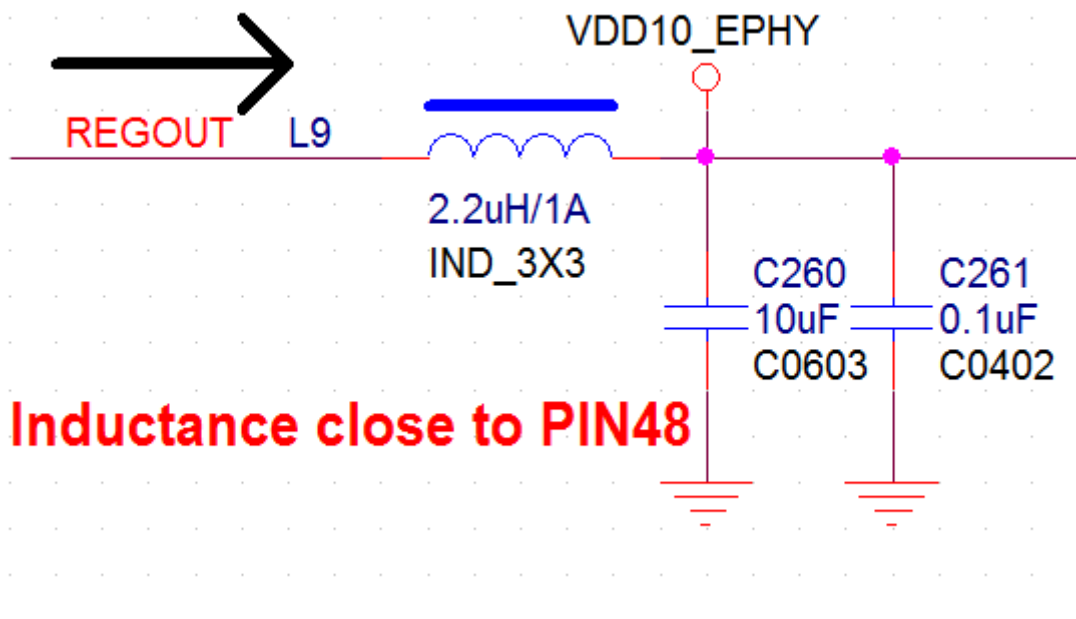


图21-4

如果要过EMI测试，图21-5中差分线串接的0R电阻需考虑换成共模电感（Common mode choke is 90-120ohm）。

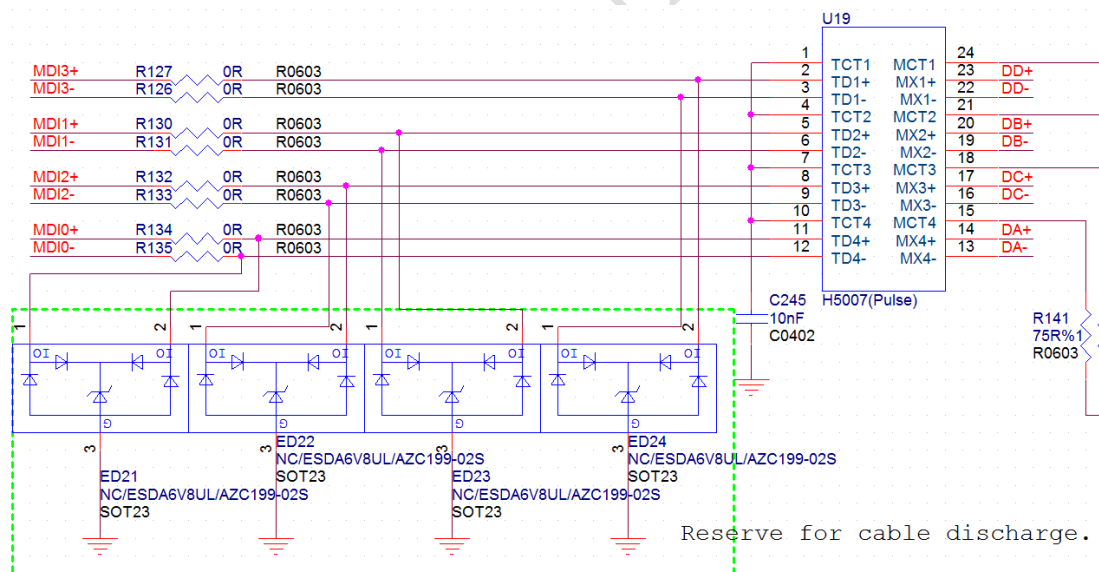


图21-5

建议RJ45座子采用带金属屏蔽的。如果RJ45有LED灯，LED0-2要预留一个对地100pF电容，改善EMI，如图21-6。

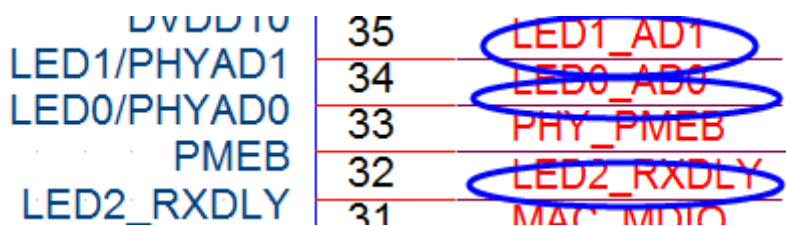


图21-6

3. 3V和1.05V的纹波要求小于100mV。

RSET电阻必须采用1%的，如图21-7所示。

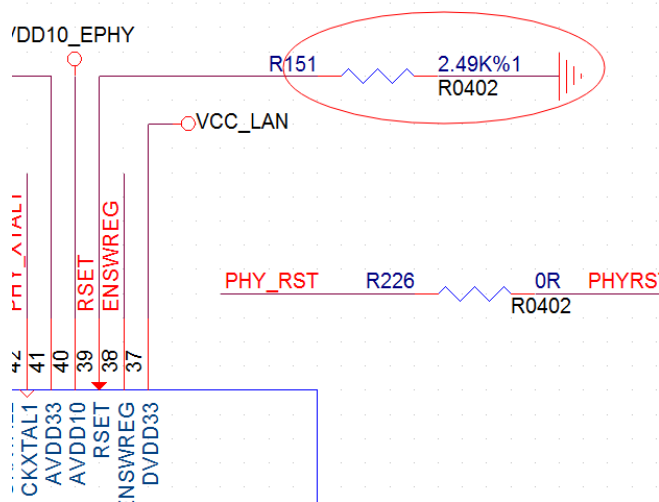


图21-7

网络变压器需满足图21-8所示条件：

Turn Ratio TX/RX: 1:1

Primary Inductance: 350 μ H OCL with 8mA bias

Insertion Loss: -1.0 dB Max, 1 ~ 100MHz

Return Loss: -18dB Min @ 100 Ω , 1 ~ 30MHz

-14dB Min @ 100 Ω , 30 ~ 60MHz

-12dB Min @ 100 Ω , 60 ~ 80MHz

Differential to Common Mode Rejection:

-40dB Min @ 1 ~ 60MHz

-30dB Min @ 60 ~ 100MHz

Hi-Pot: 1500Vrms @ 60sec

Operating Temperature: 0°C to 70°C

Recommended Magnetics: Pulse H5007 or similar

图21-8

21.2 PCB Layout

整体布局应遵循如下规则：

- PHY越靠近RK3288，EMI效果会越好，即RGMI I走线越短EMI效果越好，必须小于15cm。
- RJ45最好靠近PHY放置，即MDI走线应尽量短，必须小于12cm，如图21-9所示。

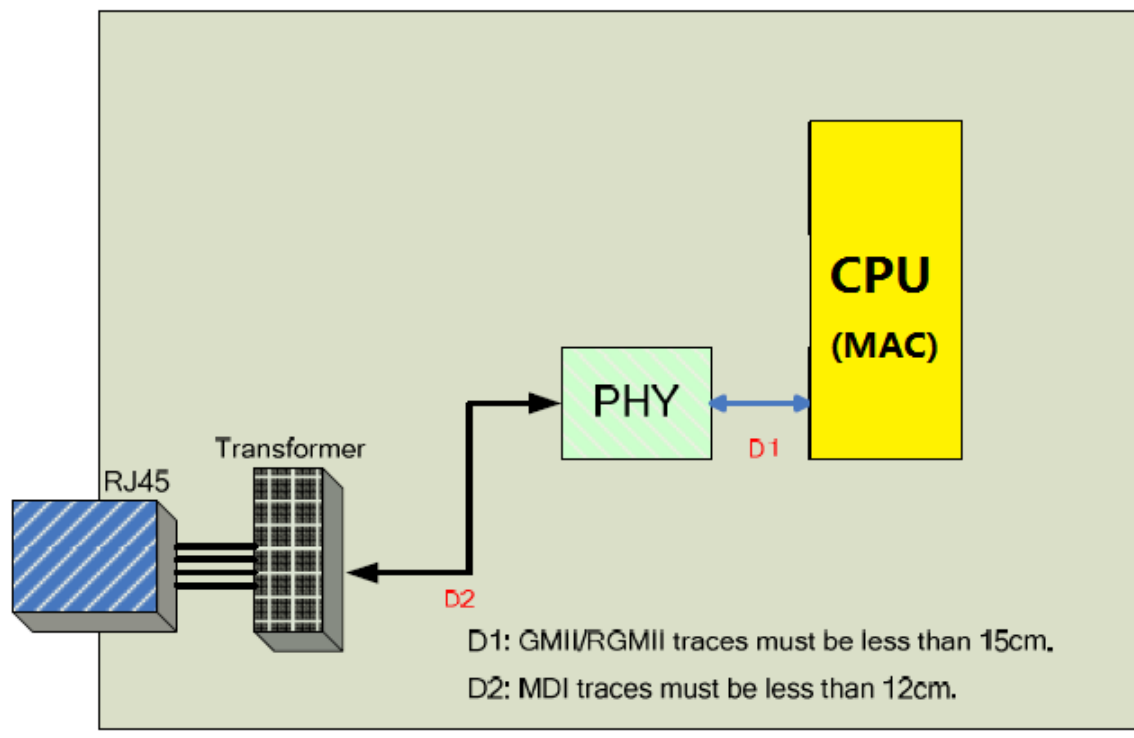


图21-9

- 如果RJ45和变压器是分离器件的，那么10/100/1000M网络变压器要靠近RJ45放置，如果旁边有其它变压器，要远离一些，然后最好成90度放置。
- MDI的4对差分线要等长处理，线对内两根信号长度误差小于10mil，线对与线对之间的长度误差控制在30mil以内；走线拐角尽量用弧线或者钝角，不能为直角或锐角，阻抗要求 $Z=100\text{ohm} \pm 10\text{ohm}$ ；走线要尽量短，差分走线总长度要小于12CM，要有完整的参考面（如果不完整，可能产生最大的EMI问题），尽量少打换层过孔。
- 25MHz晶体要靠近PHY放置，其它信号不要经过晶体，晶体周围最好用地包围起来，然后有良好的接地。
- 电源的0.1uF去耦电容分别靠近电源管脚放置，走线方式最好是先经过电容再进电源管脚。
- PHY的ePAD至少保证有9个以上地过孔，如图21-10所示。

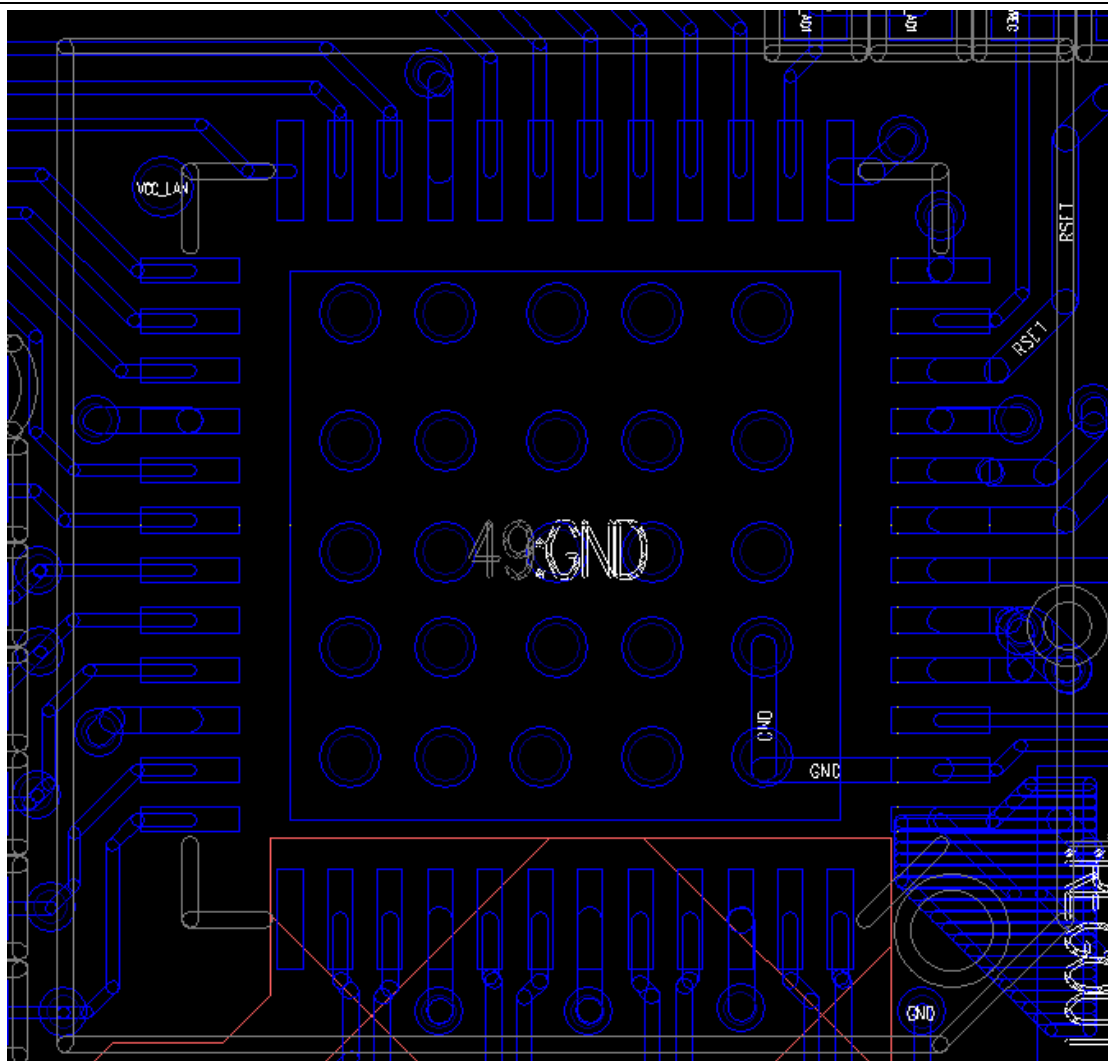


图21-10

- 图21-11中的R146要靠近PHY放置，需包地处理，走线要尽量短，要有完整的参考面。

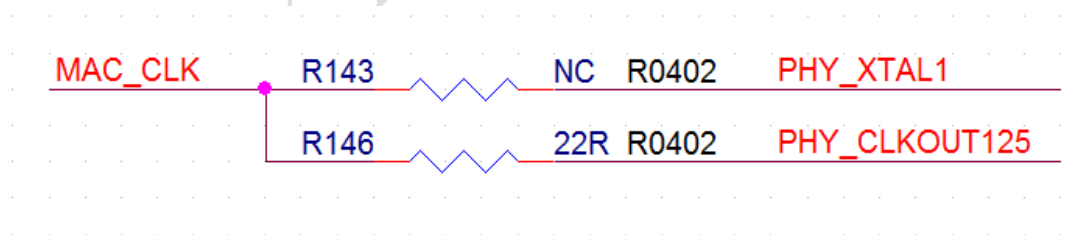


图21-11

- RSET电阻R151必须靠近PHY（小于800mil），而且要远离（VDDREG, REG_OUT, MDI0+/-, MDI1+/-等）以及 clock signals（最小距离50mils）。

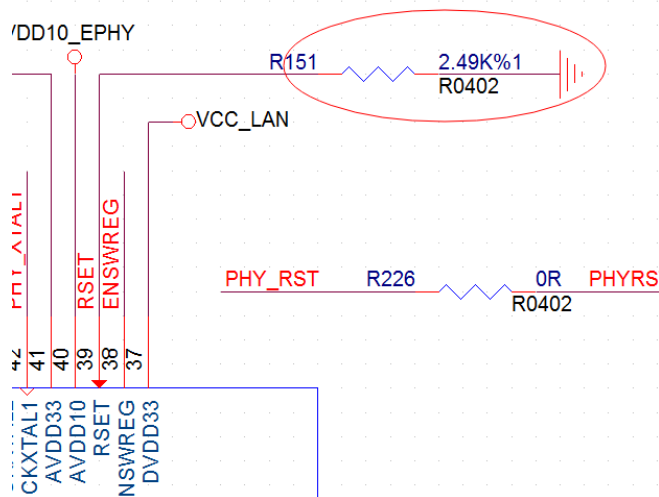


图21-12

- 下图串接电阻要靠近PHY放置，改善EMI。
 - MAC_RXCLK必须包地处理。
 - 下图中的其它信号间距要满足3W布线原则。
 - RXD[0:3], RXCLK, RXDV走线要等长处理，整条相差小于100mil，走线要尽量短，整条长度要小于15CM。
 - 要有完整的参考面。

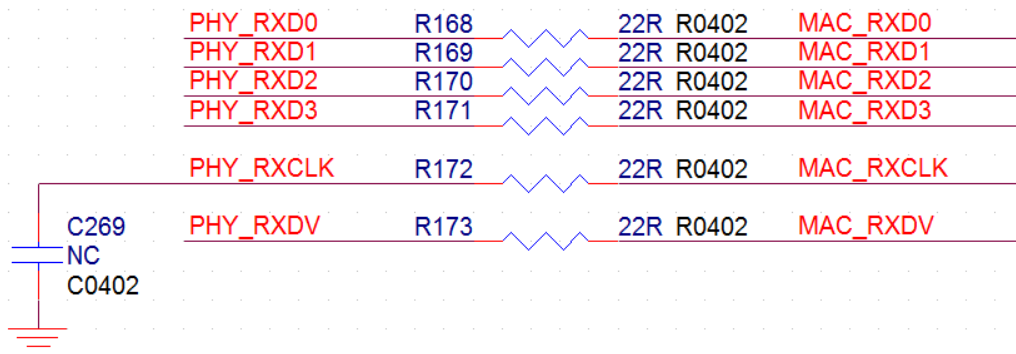


图21-13

- 下图串接电阻要靠近RK3288放置。
 - 为改善EMI，PHY_TXCLK必须包地处理。
 - 下图中的其它信号间距要满足3W布线原则。
 - TXD[0:3], TXCLK, TXEN走线要等长处理，整条相差小于100mil，走线要尽量短，整条长度要小于15CM。
 - 要有完整的参考面。

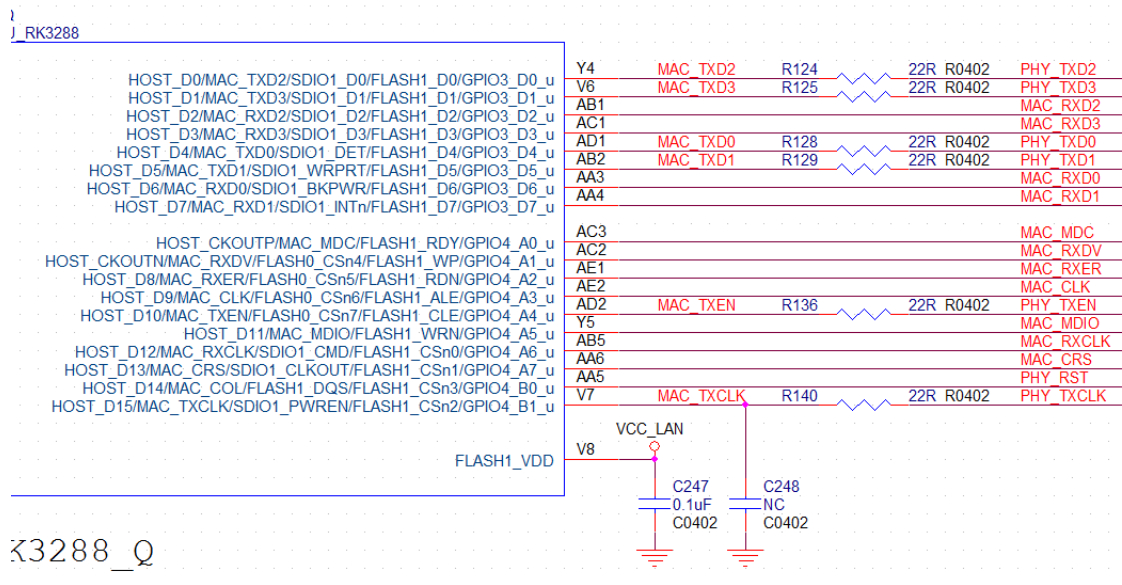


图22-14

- 内部Switching Regulator LAYOUT 注意点:

- VDDREG电源的电容C270, C271要靠近PIN44, 45放置, 走线宽度不小于40mil。
- L9, C260要靠近PIN48脚放置, 走线宽度不小于60mil。

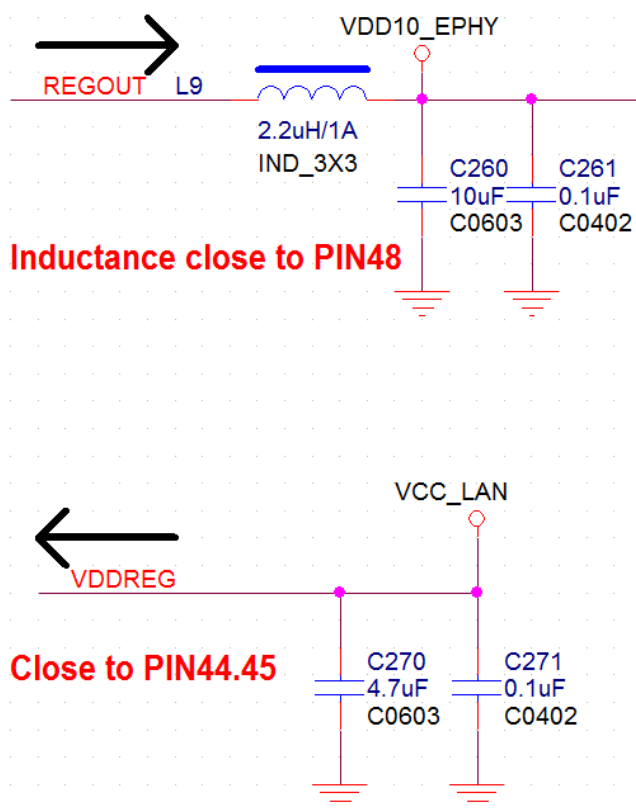


图22-15

22 2G/3G/4G

22.1 Schematic

主控GPIO接口电源域为API05_VDD供电，实际产品设计中，需要根据3G模组的实际IO供电要求，确保主控GPIO电平是否与3G模组的电平匹配，如图22-1、图22-2所示。

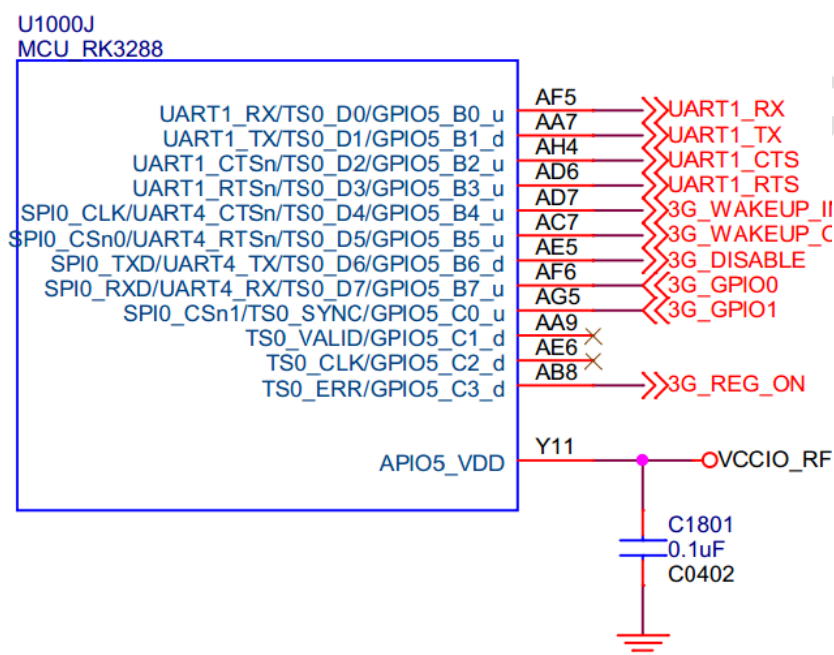


图22-1

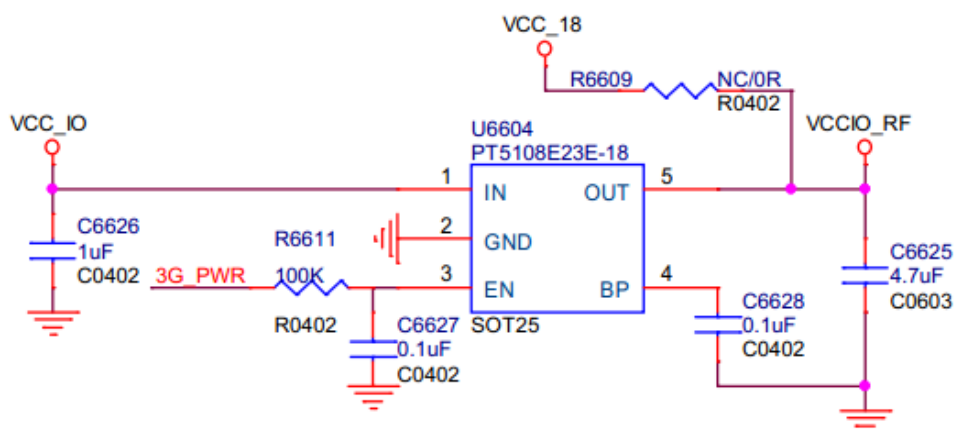


图22-2

USIM卡座预留ESD器件，避免卡插拔造成模组损坏，如图22-3。

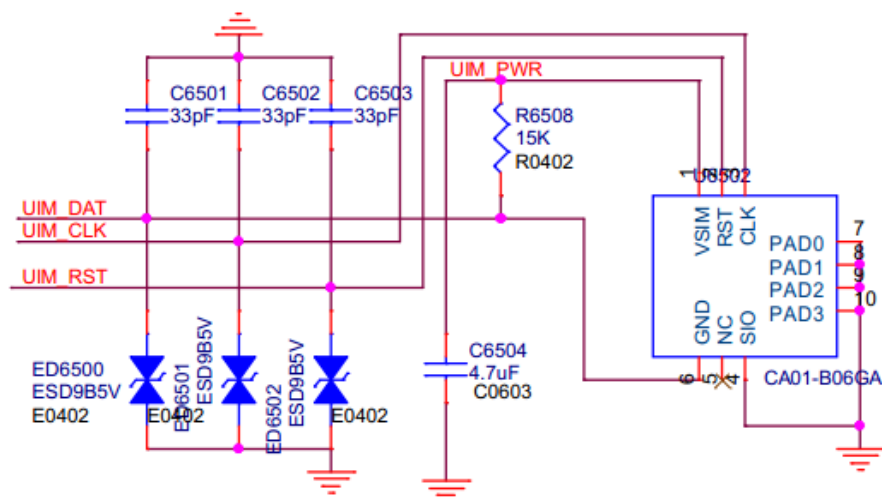


图22-3

23.2 PCB Layout

- USIM卡座布局时应离3G模块较近，布线应短且粗，避免走线过长。SCLK和SI0信号的走线需要包地线处理。
- 3G模组以最大功率发射时的瞬间电流会达到1.8A以上，所以建议电源部分使用大电流的DCDC或者低内阻的MOS，大容值的储能电容（图22-4圆圈处）请靠近模组引脚放置。走线尽可能用铺铜，宽度大于100mil以上。

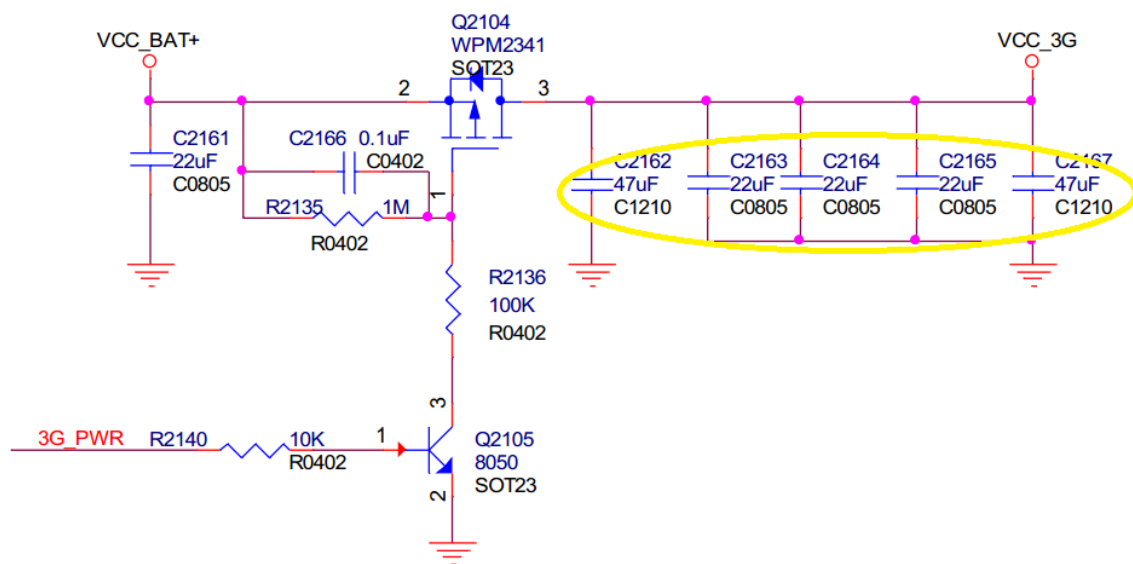


图22-4

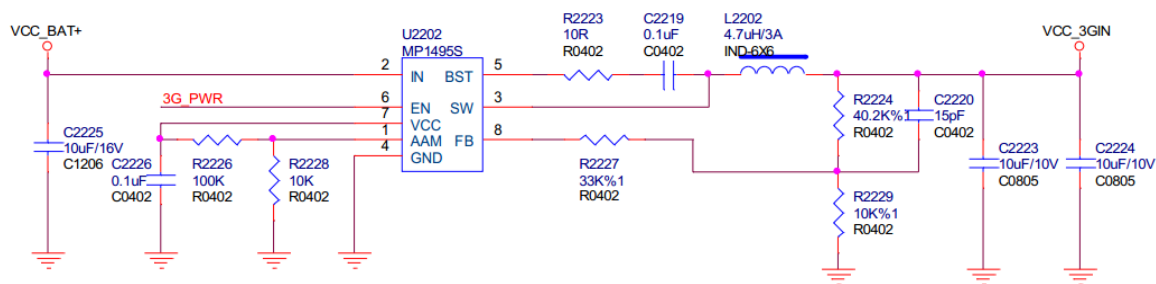


图22-5

- 由于开关电源的EMC干扰较大，电源走线和其他高速信号请不要靠近天线部分。
- 模组本身如果没有屏蔽，必须在板上增加屏蔽罩，并有完整的地包围，如图22-6。

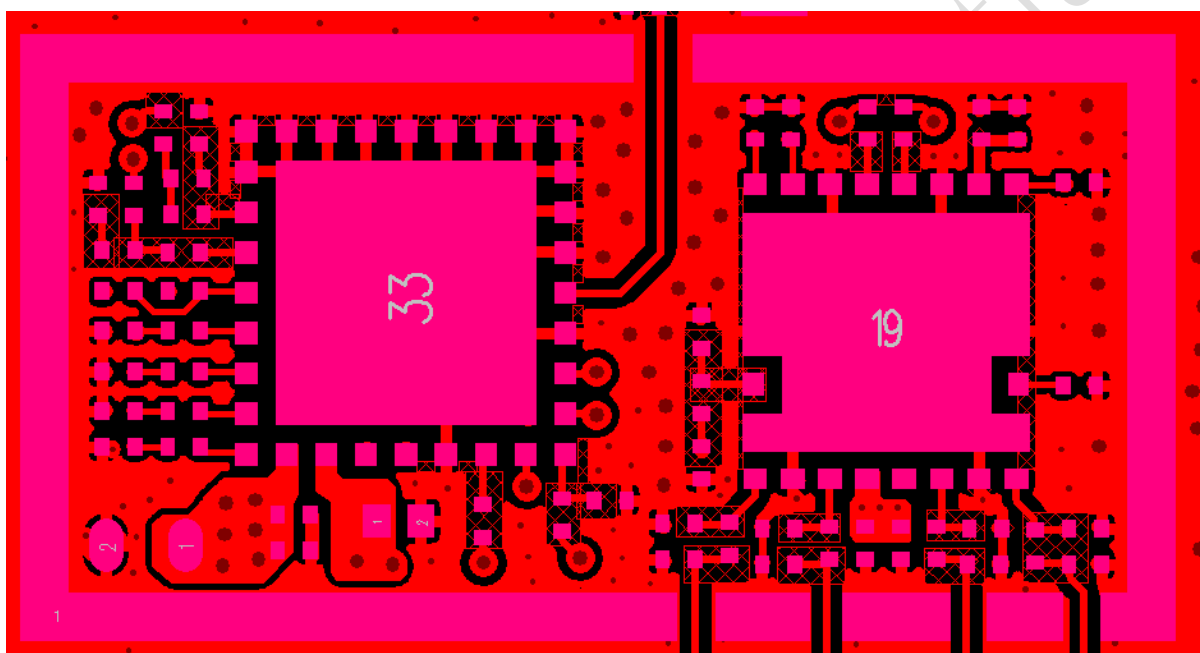


图22-6

- 3G天线以及微带线宽度设计需考虑到阻抗，下方需有完整的参考平面做为RF信号的参考地，阻抗要求为 $Z=50\pm 10\Omega$ ；
- 3G布线越长，能量损失越大，因此在RF布线设计时，路径越短越好，不能有分支出现，如图22-7。
- 天线的辐射能量很大，天线要注意不能干扰到DDR，DCDC的FB等敏感器件及信号。
- 3G走线有遇到需转向时，不可以用转角的方式，需用弧形走线，如图22-7。

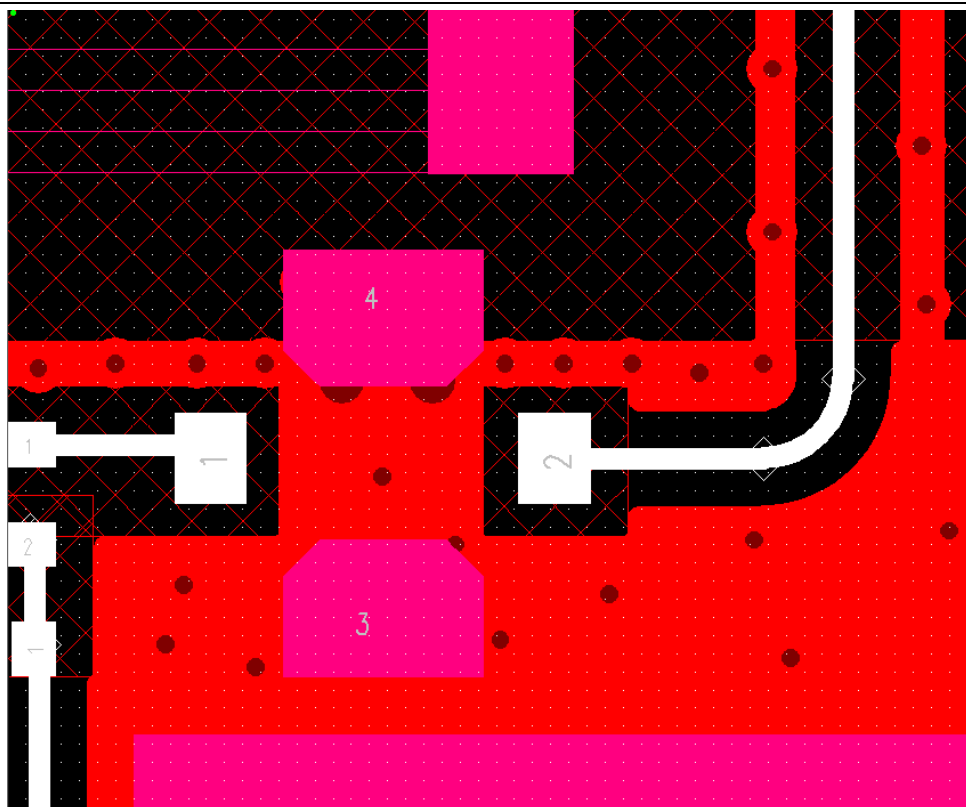


图23-7

23 WIFI & BT

23.1 Schematic

RK3288支持SDIO 3.0接口的WIFI/BT模组。采用SDIO、UART接口的WIFI/BT模组时，需要注意RK3288 SDIO、UART控制器的供电API03_VDD要与模组VCCIO Supply一致，如图23-1、图23-2所示。

小贴士：

- SDIO 3.0 情况下，API03_VDD 供电必须为 1.8V；

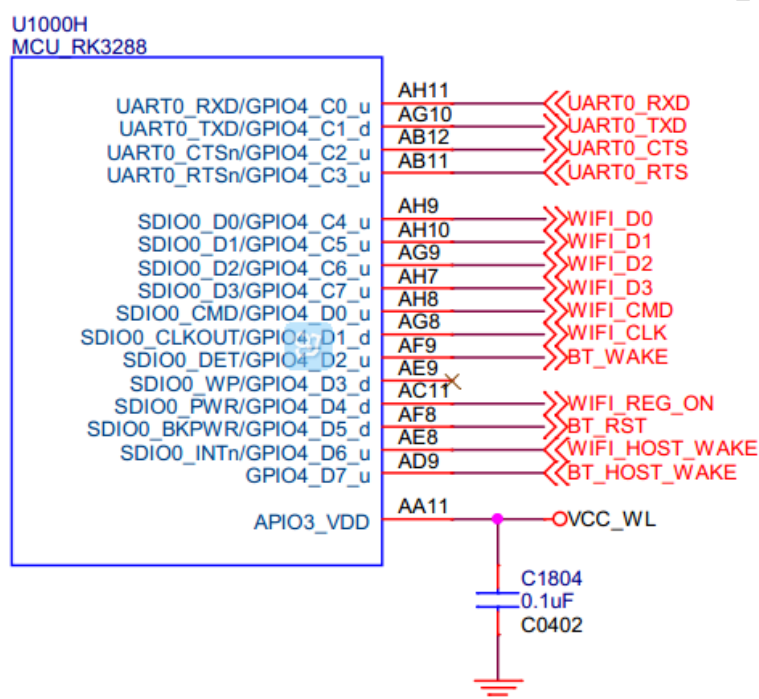


图23-1

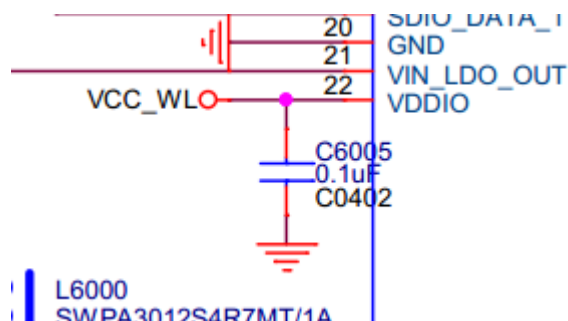


图23-2

WIFI的RTC_CLOCK需注意电平匹配并选择合适的电阻分压比例，以满足WIFI输入需求，否则会导致WIFI工作异常，如图23-3、图23-4。

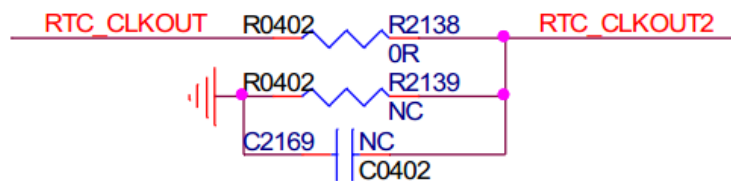


图23-3

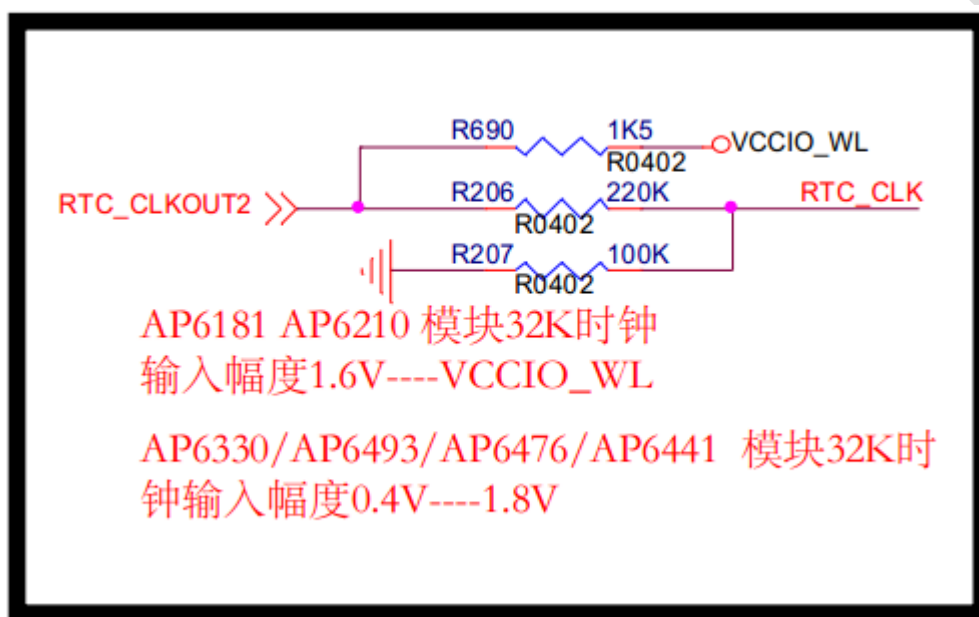


图23-4

请注意WIFI需选择ESR小于60ohm，频偏误差20ppm的晶体。晶体的匹配电容，请根据晶体规格选择合适的容值，避免频偏太大而出现的工作异常（如热点数较少等），如图23-5所示。

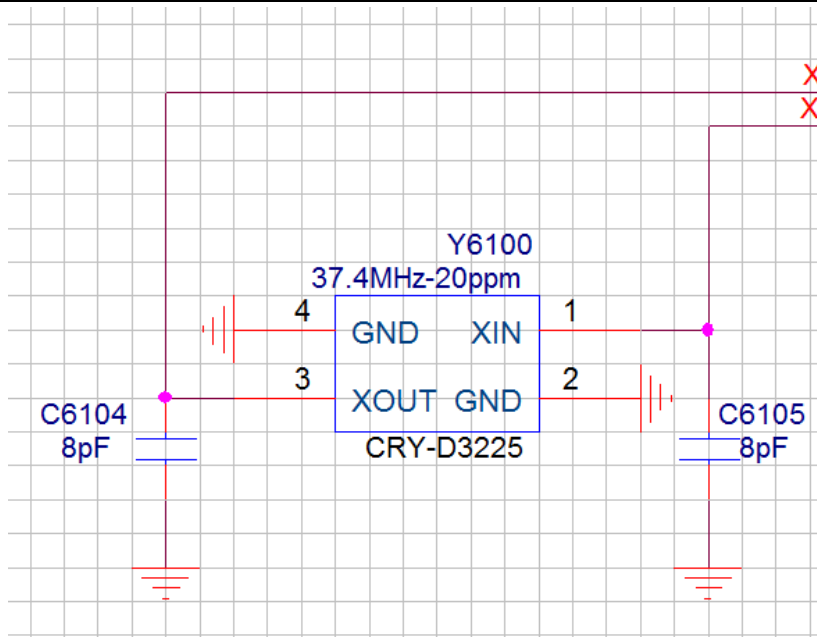


图23-5

预留SDIO 上拉电阻，当WIFI使用SDIO 3.0时，上拉电阻（图23-6）贴片可提高信号质量。

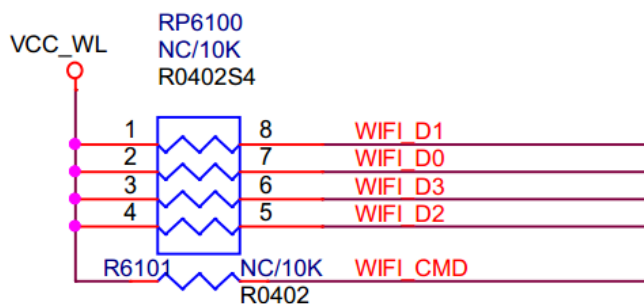


图23-6

AP6XXX的VBAT供电电压范围为3.0V~4.8V，供电电流至少400mA。

至少400mA

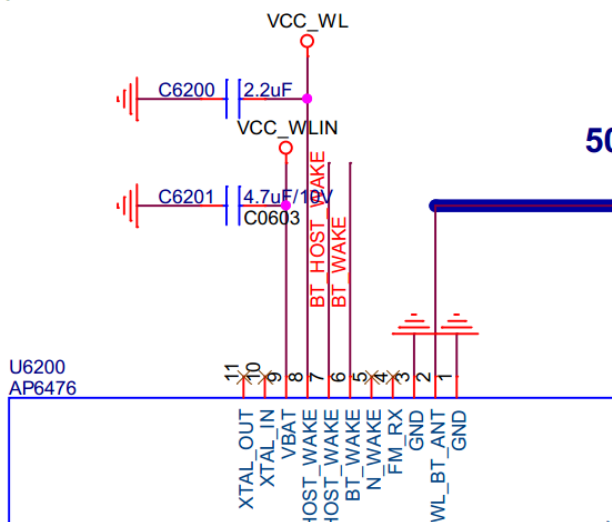


图23-7

24.2 PCB Layout

- WIFI模块请远离DDR等高速器件。
- SDIO走线需尽可能平行并做整组包地处理，如果有空间的话CLK建议单独包地。需避免靠近电源或高速信号布线。信号组内任意两根信号的长度误差控制在400mil以内，否则会导致SDIO 3.0高速模式下频率跑不高。
- 如图23-8中，模块的VBAT和VDDIO的电源脚4.7uF去耦电容C6100、C6111需靠近模块放置，并尽可能与模块摆放在同一平面。

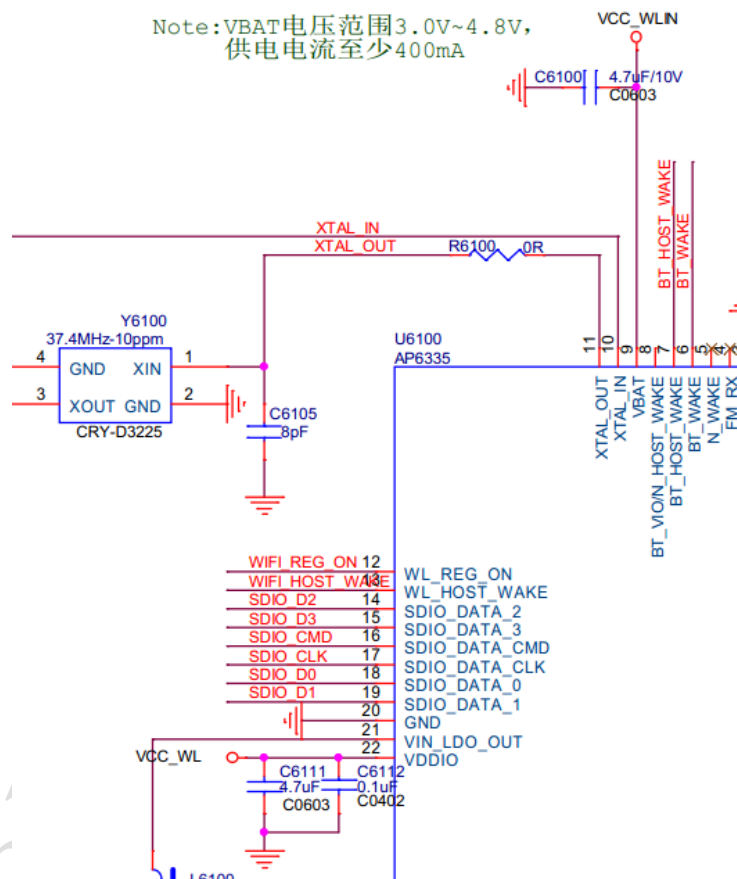


图23-8

- 如图23-9中，模块内部电源的电感L6100和电容C6116需靠近模块放置，走线线宽大于15mil;

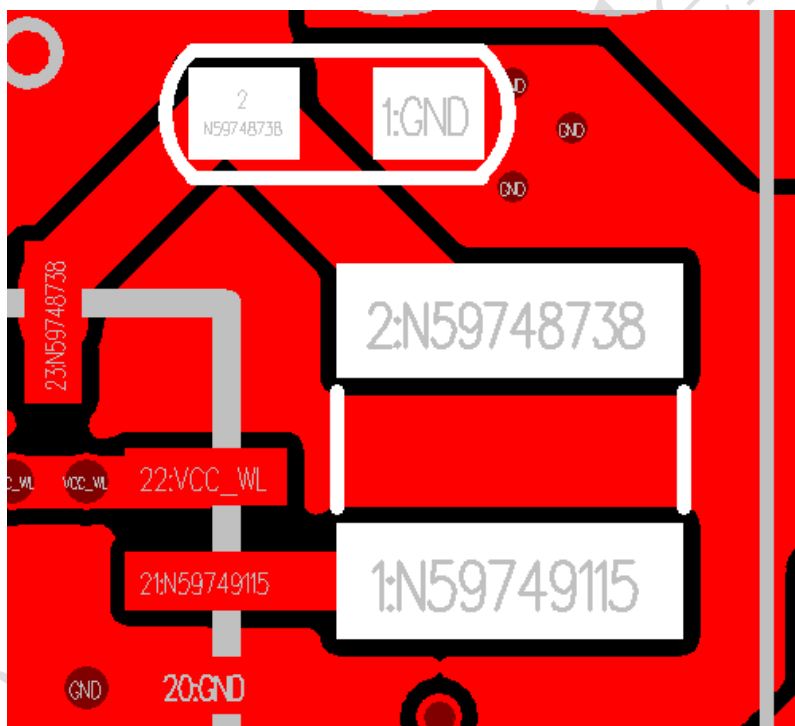
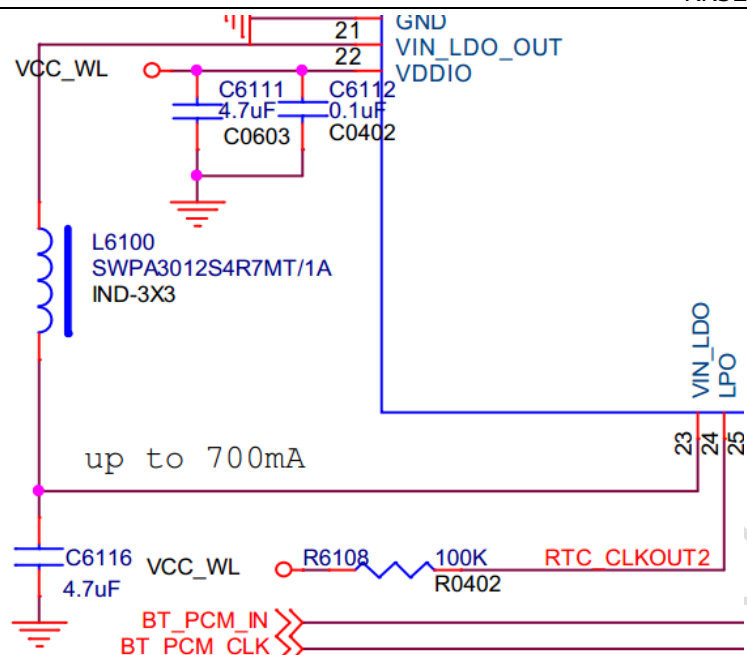


图23-9

- 模组下方第一层保持完整的地，不要有其他信号走线，如图23-10。

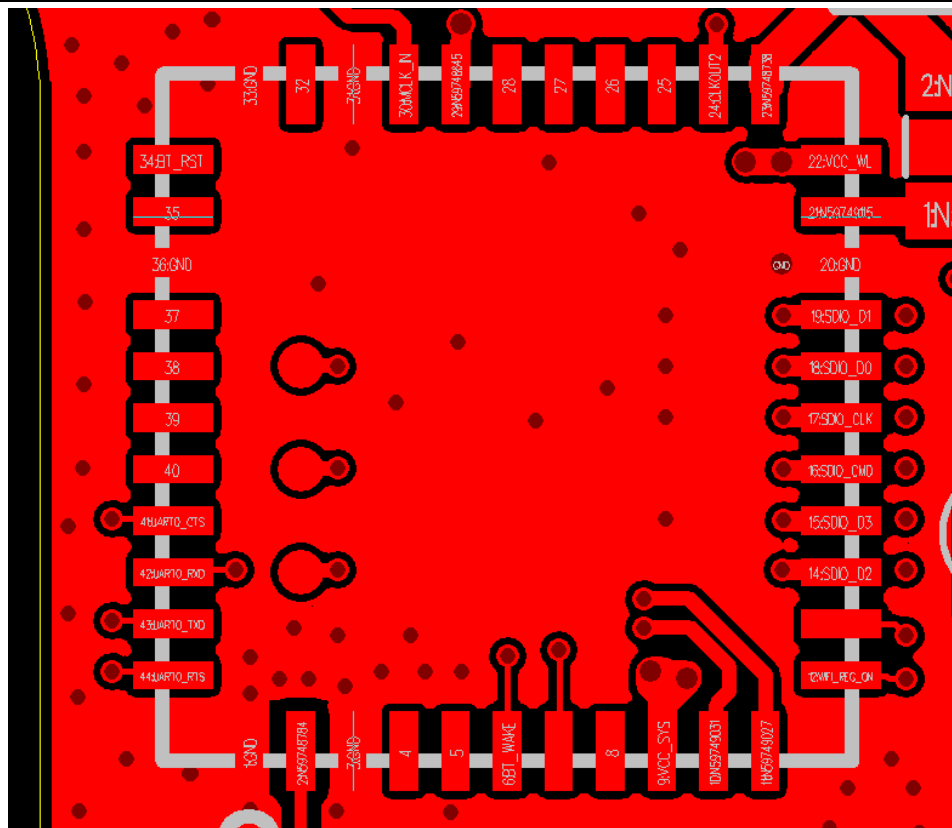


图23-10

- 晶体下方保持完整的地，不要有其他信号走线，晶体引脚要有足够的地过孔，如图23-11；

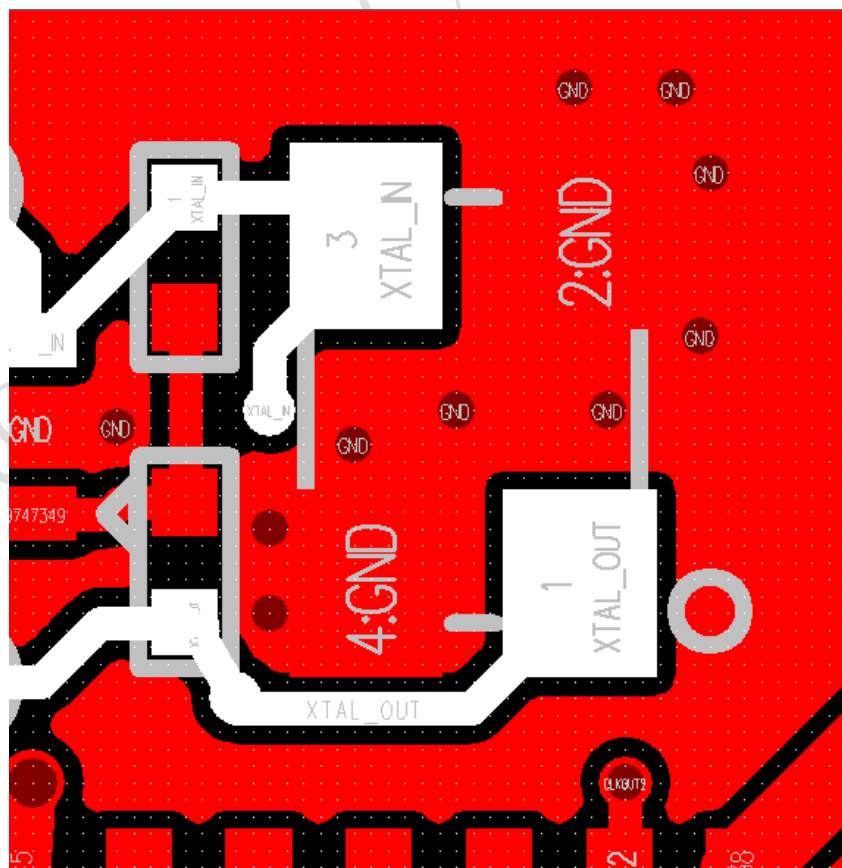


图23-11

- 天线以及微带线宽度设计需考虑到阻抗，阻抗要求为 $Z=50\pm 10\text{ohm}$ ，走线下方需有完整的参考平面做为RF信号的参考地；
- 天线布线越长，能量损耗越大，因此在设计时，天线路径越短越好，不能有分支出现，不能打过孔，如图23-12所示，图23-13为错误的走线方式。
- 天线走线有遇到需转向时，不可以用转角的方式，需用弧形走线，如图23-14所示，，图23-13为错误的走线方式。

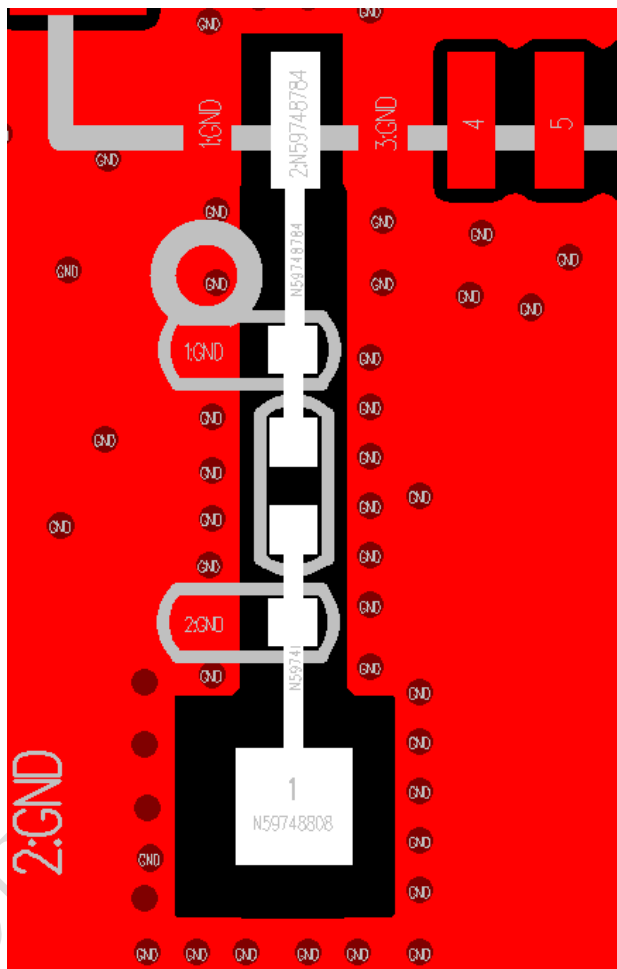


图24-12

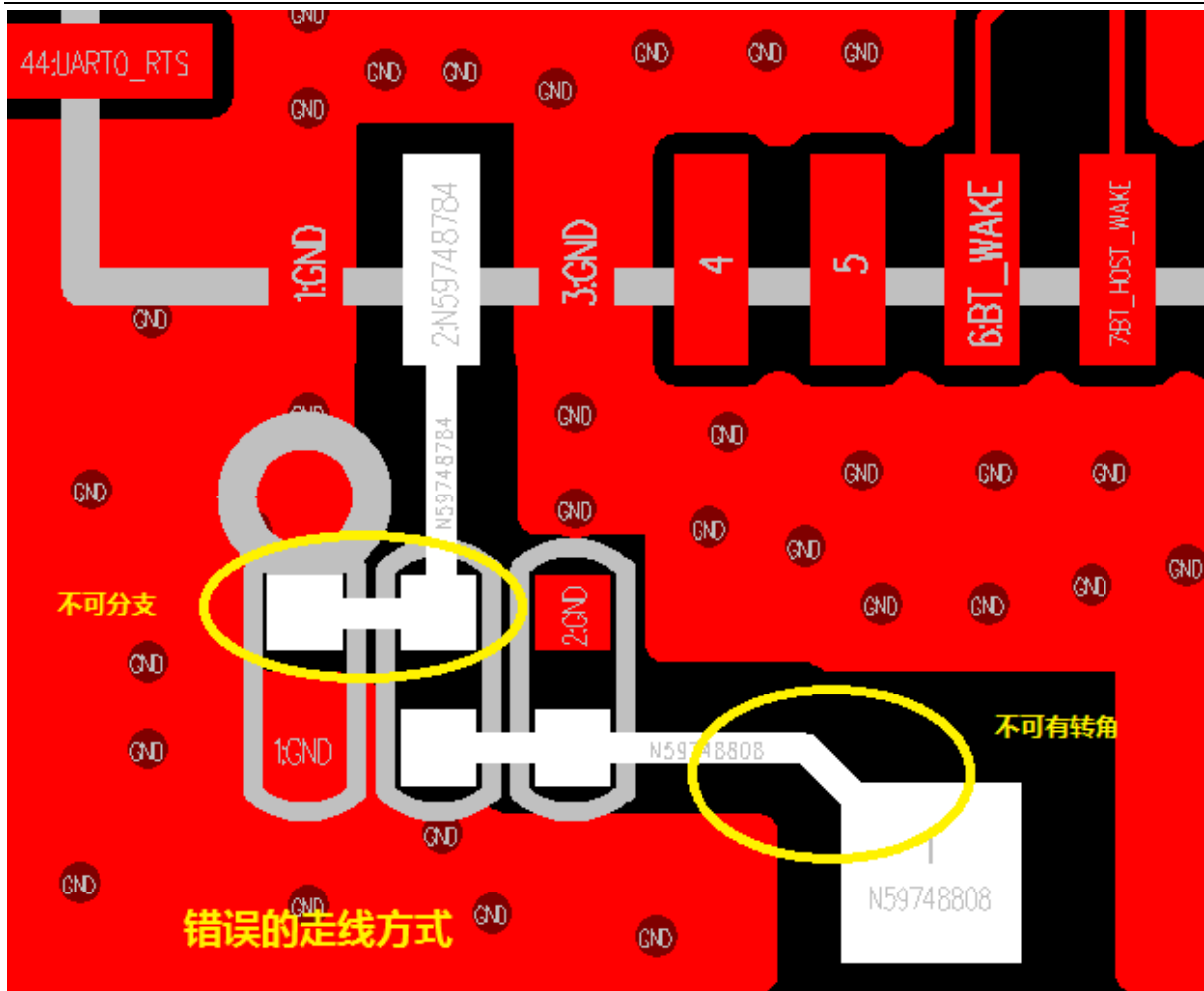


图24-13

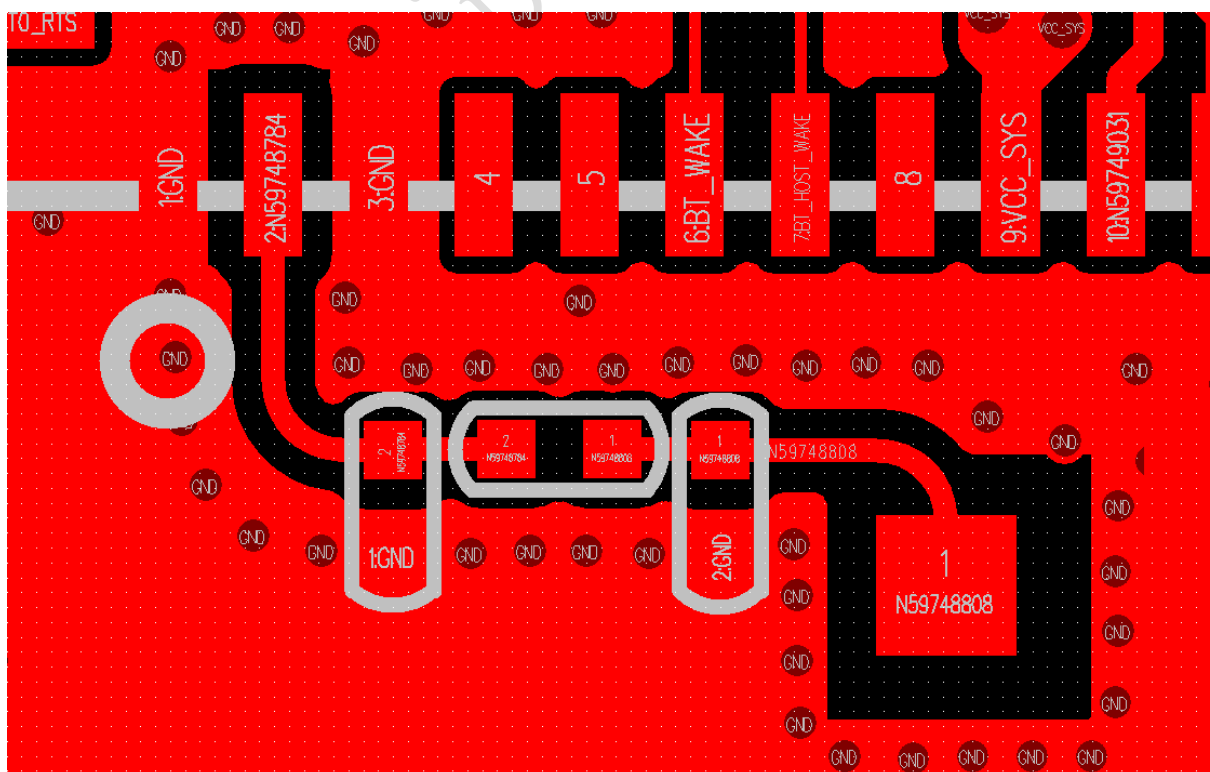


图23-14

- 建议模块及天线摆放位置可参考图23-15所示，不要放在人手握持部位，尽量远离金属器件。

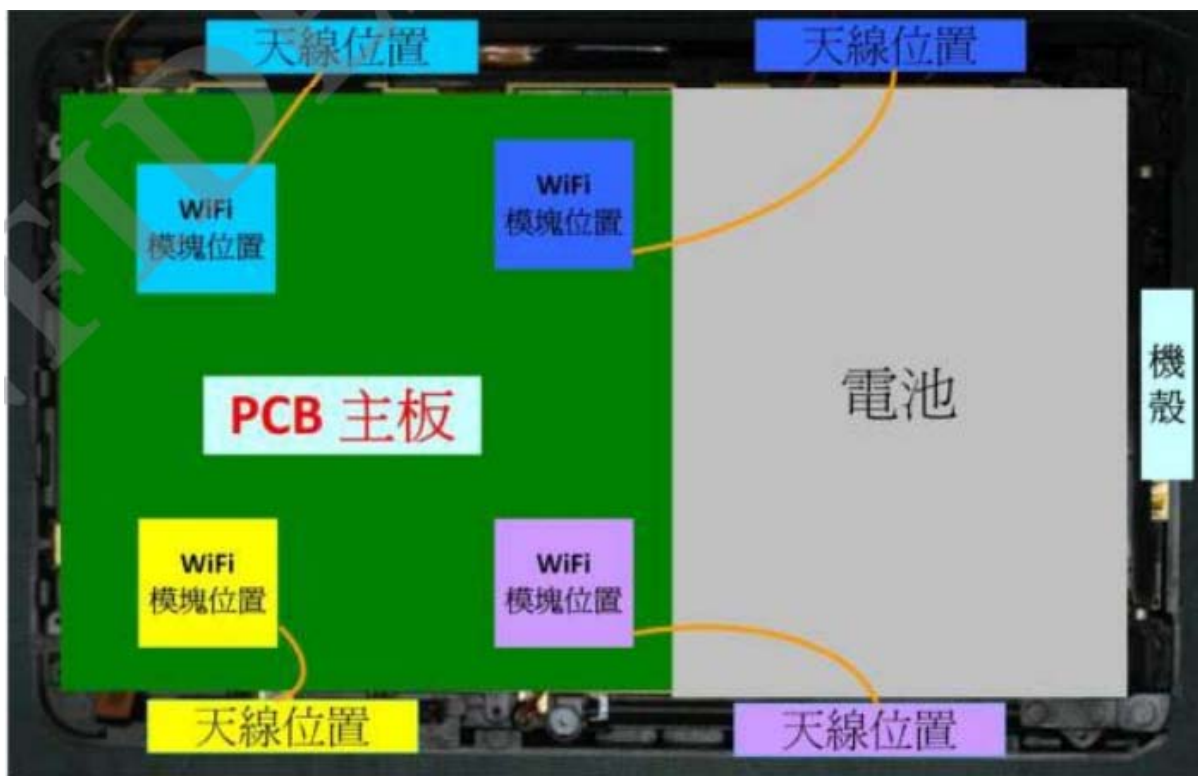


图23-15

- 天线要做匹配，组装时不要和电池喇叭线绞在一起，不能经过FPC及DDR区域；
- 天线的馈线走线切勿过长，过长的馈线会造成过多的RF能量损失，建议馈线长度小于7公分。馈线在剥线时，切勿剥除过多的屏蔽网，导致50ohm阻抗不连续，如图23-16所示。



图23-16

24 GPS

24.1 PCB Layout

GPS为敏感器件，易收到磁场干扰，所以空间与结构上的不恰当布局都有可能影响到GPS性能，如喇叭、电池、金属物、按键、接插件、LCD及触摸的FPC排线和各种较长的飞线。结构上尽量使GPS天线远离电池、喇叭、接插件、LCD及Camera的座子，尽量把GPS天线安排在PCB上EMI和noise floor最小的角落，如图24-1所示：



图24-1

2G、3G等模组虽然工作频点不在GPS频带内，但是由于它们的工作峰值功率很大，且存在于GPS同时工作的情况，如果它们的天线和GPS天线过近（10公分以内），较容易造成LNA的输入端过饱和而导致GPS无法正常工作。

带GPS的产品，整机尽量采用塑料外壳，而不要采用铝合金外壳，不然GPS信号会被完全屏蔽掉而无法工作。对于采用铝合金中框的外壳，要保证中框距离天线大于7mm。如果一定要采用铝合金外壳，那么至少在后壳天线区域开窗大于3*3公分，而且保证后壳良好接地。

为了保证GPS的性能，必要的屏蔽罩、导电布和导电泡棉是必须要的。

GPS内部布局，需保证RF通路的相关器件摆放尽量紧凑，也就是LNA、SAW Filter、匹配电路等尽量紧凑放置，从天线馈电到芯片RF_IN的路径尽量短，衰减小受干扰小，如图24-2中的黄色高亮走线。

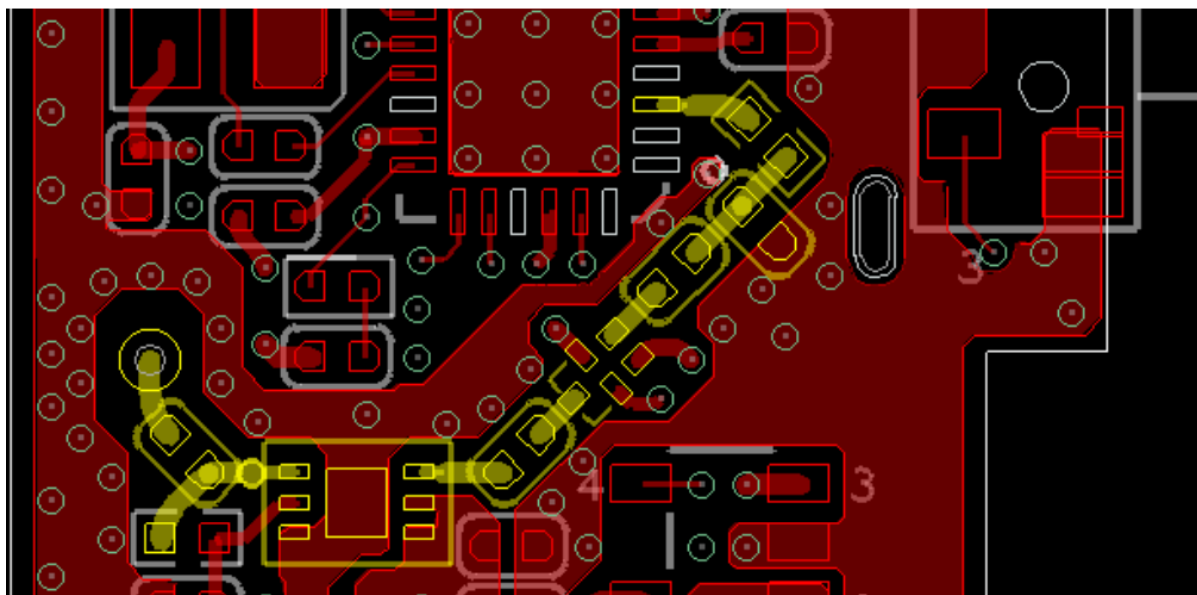


图24-2

由于GPS的接收灵敏度较高 ($>-140\text{dbm}$)，因此对阻抗控制要求也比较高，如果阻抗控制的不好，将导致驻波和回损加大，直接影响GPS性能，阻抗要求为 $Z=50\pm 10\text{ohm}$ ，走线下方需有完整的参考平面做为RF信号的参考地。

GPS的RF线通常采用隔层参考的方式，挖空第二层走线，以第三层做为阻抗线的参考平面，这样可以使阻抗控制精度更高，否则 $4\sim 5\text{mil}$ 的线宽，阻抗控制误差较大。

25 NFC

25.1 Schematic

NFC技术使用环形天性，基本感应距离约2公分，工作时电流约达200mA，RSM1、RSM2请使用R0603的尺寸，天线走线不能小于12mil；

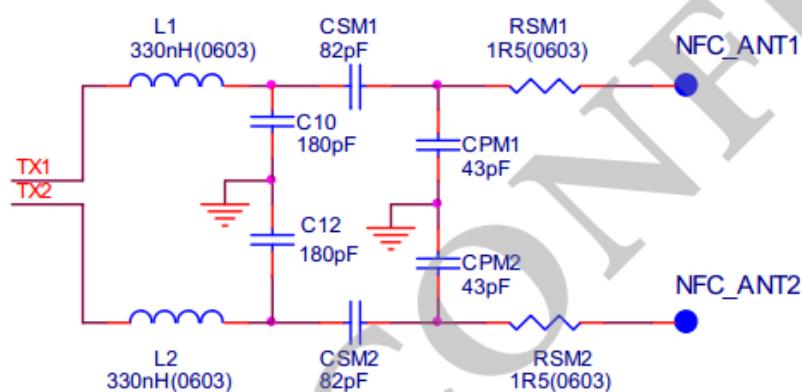


图25-1

NFC天线可放置在电池上，并在天线与电池间贴上NFC专用吸波材料，可避免天线距离收到严重影响。



图25-2

26.2 PCB Layout

使用NFC技术的话，产品结构不可使用金属外壳。

NFC是磁感应通讯，为避免L1以及L2之间互感造成阻抗匹配偏移，请垂直布局，如图25-3。

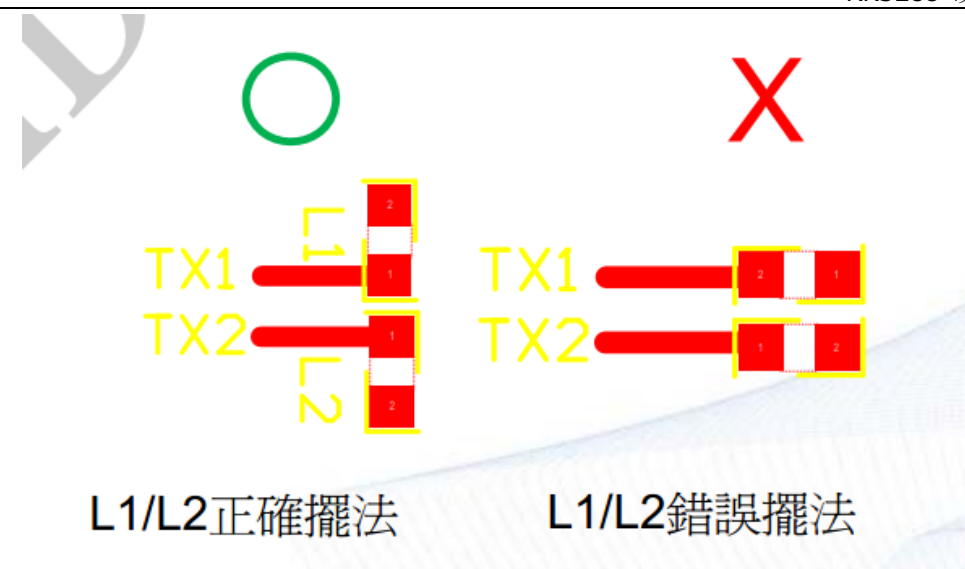


图25-3